

16869P-111000US

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 4 年 1 月 6 日
Date of Application:

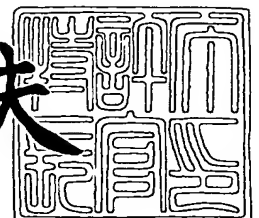
出 願 番 号 特 願 2 0 0 4 - 0 0 1 4 4 3
Application Number:
[ST. 10/C] : [J P 2 0 0 4 - 0 0 1 4 4 3]

出 願 人 株式会社日立製作所
Applicant(s):

2 0 0 4 年 3 月 2 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 4 - 3 0 1 5 6 0 6



【書類名】 特許願
【整理番号】 340301295
【提出日】 平成16年 1月 6日
【あて先】 特許庁長官殿
【国際特許分類】 G06F 3/06
【発明者】
 【住所又は居所】 神奈川県小田原市中里 3 2 2 番 2 号 株式会社日立製作所 R A I
 Dシステム事業部内
 【氏名】 鶴田 進
【特許出願人】
 【識別番号】 000005108
 【氏名又は名称】 株式会社日立製作所
【代理人】
 【識別番号】 110000176
 【氏名又は名称】 一色国際特許業務法人
 【代表者】 一色 健輔
【手数料の表示】
 【予納台帳番号】 211868
 【納付金額】 21,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1

**【書類名】 特許請求の範囲****【請求項 1】**

第 1 の情報処理装置からデータ入出力要求を受信し、前記第 1 の情報処理装置との間でデータの送受信を行う第 1 のチャンネル制御部と、

第 2 の情報処理装置からデータ入出力要求を受信し、前記第 2 の情報処理装置との間でデータの送受信を行う第 2 のチャンネル制御部と、

前記データ入出力要求に応じて、データを記憶する記憶ボリュームに対してデータの読み書きを行うディスク制御部と、

前記第 1 のチャンネル制御部、前記第 2 のチャンネル制御部、及び前記ディスク制御部の間で授受されるデータを記憶するキャッシュメモリと、

を備え、

前記第 1 のチャンネル制御部は、

第 1 のメモリと、

前記第 1 の情報処理装置からデータ入出力要求を受信し、前記第 1 のメモリと前記第 1 の情報処理装置との間のデータの送受信を制御する第 1 の入出力制御部と、

前記第 1 のメモリ及び前記キャッシュメモリを制御する第 1 のプロセッサと、

前記第 1 のメモリへのデータの読み書きを行う第 1 のメモリコントローラ及び前記第 1 のメモリと前記キャッシュメモリとの間のデータ転送を制御する第 1 のデータ転送制御部を有する第 1 のデータ転送装置と、

を備え、

前記第 2 のチャンネル制御部は、

第 2 のメモリと、

前記第 2 のメモリを制御し、前記第 2 の情報処理装置からデータ入出力要求を受信し、前記第 2 のメモリと前記第 2 の情報処理装置との間のデータの送受信を制御する第 2 の入出力制御部と、

前記キャッシュメモリを制御する第 2 のプロセッサと、

前記第 2 のメモリへのデータの読み書きを行う第 2 のメモリコントローラ及び前記第 2 のメモリと前記キャッシュメモリとの間のデータ転送を制御する第 2 のデータ転送制御部を有する第 2 のデータ転送装置と、

を備え、

前記第 1 のチャンネル制御部は、

前記第 1 の入出力制御部が前記第 1 の情報処理装置から受信した前記データ入出力要求が第 1 のデータ書き込み要求である場合には、

前記第 1 の入出力制御部が、前記第 1 のデータ書き込み要求を前記第 1 のプロセッサに送信し、

前記第 1 のプロセッサが、前記第 1 の情報処理装置から送信される第 1 の書き込みデータの前記第 1 のメモリにおける記憶位置を示す情報を含む第 1 の記憶位置情報を前記第 1 の入出力制御部に送信し、

前記第 1 の入出力制御部が、前記第 1 の書き込みデータの前記第 1 のメモリにおける記憶位置を示す情報と前記第 1 の書き込みデータとの前記第 1 のメモリコントローラへの送信を開始し、

前記第 1 のメモリコントローラが、前記第 1 の書き込みデータの前記第 1 のメモリへの書き込みを開始し、

前記第 1 のプロセッサが、前記第 1 の書き込みデータの前記第 1 のメモリにおける記憶位置を示す情報、及び前記第 1 の書き込みデータの前記キャッシュメモリにおける記憶位置を示す情報を含む第 1 のデータ転送情報を前記第 1 のデータ転送制御部に送信し、

前記第 1 のデータ転送制御部が、前記第 1 のデータ転送情報に基づいて、前記第 1 のメモリに書き込まれた前記第 1 の書き込みデータのリード要求を前記第 1 のメモリコントローラに送信し、

前記第 1 のメモリコントローラが、前記第 1 の書き込みデータの前記第 1 のメモリから



の読み出しを開始し、

前記第1のデータ転送制御部が、前記第1のメモリから読みだされる前記第1の書き込みデータの前記キャッシュメモリへの転送を開始し、

前記第2のチャンネル制御部は、

前記第2の入出力制御部が前記第2の情報処理装置から受信した前記データ入出力要求が第2のデータ書き込み要求である場合には、

前記第2の入出力制御部が、前記第2の情報処理装置から送信される第2の書き込みデータの前記第2のメモリにおける記憶位置を示す情報と前記第2の書き込みデータとの前記第2のメモリコントローラへの送信を開始し、

前記第2のメモリコントローラが、前記第2の書き込みデータの前記第2のメモリへの書き込みを開始し、

前記第2の入出力制御部が、前記第2の書き込みデータの前記第2のメモリにおける記憶位置を示す情報を含む第2の記憶位置情報を前記第2のプロセッサに送信し、

前記第2のプロセッサが、前記第2の書き込みデータの前記第2のメモリにおける記憶位置を示す情報、及び前記第2の書き込みデータの前記キャッシュメモリにおける記憶位置を示す情報を含む第2のデータ転送情報を前記第2のデータ転送制御部に送信し、

前記第2のデータ転送制御部が、前記第2のデータ転送情報に基づいて、前記第2のメモリに書き込まれた前記第2の書き込みデータのリード要求を前記第2のメモリコントローラに送信し、

前記第2のメモリコントローラが、前記第2の書き込みデータの前記第2のメモリからの読み出しを開始し、

前記第2のデータ転送制御部が、前記第2のメモリから読みだされる前記第2の書き込みデータの前記キャッシュメモリへの転送を開始すること
を特徴とするストレージ制御装置。

【請求項2】

前記第1のチャンネル制御部は、

前記第1の入出力制御部が前記第1の情報処理装置から受信した前記データ入出力要求が第1のデータ読み出し要求である場合には、

前記第1の入出力制御部が、前記第1のデータ読み出し要求を前記第1のプロセッサに送信し、

前記第1のプロセッサが、前記第1の情報処理装置に送信される第1の読み出しデータの前記キャッシュメモリにおける記憶位置を示す情報、及び前記第1の読み出しデータの前記第1のメモリにおける記憶位置を示す情報を含む第3のデータ転送情報を前記第1のデータ転送制御部に送信し、

前記第1のデータ転送制御部が、前記第3のデータ転送情報に基づいて、前記キャッシュメモリからの前記第1の読み出しデータの読み出しを開始し、

前記第1のデータ転送制御部が、前記第1の読み出しデータの前記第1のメモリにおける記憶位置を示す情報と前記第1の読み出しデータとの前記第1のメモリコントローラへの送信を開始し、

前記第1のメモリコントローラが、前記第1の読み出しデータの前記第1のメモリへの書き込みを開始し、

前記第1のプロセッサが、前記第1の読み出しデータの前記第1のメモリにおける記憶位置を示す情報を含む第3の記憶位置情報を前記第1の入出力制御部に送信し、

前記第1の入出力制御部が、前記第3の記憶位置情報に基づいて、前記第1のメモリに書き込まれた前記第1の読み出しデータのリード要求を前記第1のメモリコントローラへ送信し、

前記第1のメモリコントローラが、前記第1の読み出しデータの前記第1のメモリからの読み出しを開始し、

前記第1の入出力制御部が、前記第1のメモリから読みだされる前記第1の読み出しデータを前記第1の情報処理装置に送信し、



前記第 2 のチャネル制御部は、

前記第 2 の入出力制御部が前記第 2 の情報処理装置から受信した前記データ入出力要求が第 2 のデータ読み出し要求である場合には、

前記第 2 の入出力制御部が、前記第 2 の情報処理装置に送信される第 2 の読み出しデータの第 2 のメモリにおける記憶位置を示す情報を含む第 4 の記憶位置情報を前記第 2 のプロセッサに送信し、

前記第 2 のプロセッサが、前記第 2 の読み出しデータの第 2 のキャッシュメモリにおける記憶位置を示す情報、及び前記第 2 の読み出しデータの第 2 のメモリにおける記憶位置を示す情報を含む第 4 のデータ転送情報を前記第 2 のデータ転送制御部に送信し、

前記第 2 のデータ転送制御部が、前記第 4 のデータ転送情報に基づいて、前記キャッシュメモリからの前記第 2 の読み出しデータの読み出しを開始し、

前記第 2 のデータ転送制御部が、前記第 2 の読み出しデータの第 2 のメモリにおける記憶位置を示す情報と前記第 2 の読み出しデータとの前記第 2 のメモリコントローラへの送信を開始し、

前記第 2 のメモリコントローラが、前記第 2 の読み出しデータの第 2 のメモリへの書き込みを開始し、

前記第 2 の入出力制御部が、前記第 2 のメモリに書き込まれた前記第 2 の読み出しデータのリード要求を前記第 2 のメモリコントローラへ送信し、

前記第 2 のメモリコントローラが、前記第 2 の読み出しデータの第 2 のメモリからの読み出しを開始し、

前記第 2 の入出力制御部が、前記第 2 のメモリから読みだされる前記第 2 の読み出しデータを前記第 2 の情報処理装置に送信すること

を特徴とする請求項 1 に記載のストレージ制御装置。

【請求項 3】

前記第 1 のチャネル制御部は、

前記第 1 の入出力制御部が前記第 1 の情報処理装置から受信した前記データ入出力要求が第 1 のデータ書き込み要求である場合には、

前記第 1 の入出力制御部が、前記第 1 のデータ書き込み要求を前記第 1 のプロセッサに送信し、

前記第 1 のプロセッサが、前記第 1 の記憶位置情報を前記第 1 の入出力制御部に送信し、

前記第 1 の入出力制御部が、前記第 1 の書き込みデータの第 1 のメモリにおける記憶位置を示す情報と前記第 1 の書き込みデータとの前記第 1 のメモリコントローラへの送信を開始し、

前記第 1 の入出力制御部が、前記第 1 の書き込みデータの送信の際に、所定量の前記第 1 の書き込みデータ毎に、前記所定量の第 1 の書き込みデータを所定のアルゴリズムに従って変換して算出した変換データと前記所定量の第 1 の書き込みデータの誤り有無を示す誤り有無データとを含むチェックコードを付加し、

前記第 1 のメモリコントローラが、前記第 1 の書き込みデータ及び前記チェックコードの第 1 のメモリへの書き込みを開始し、

前記第 1 のプロセッサが、前記第 1 のデータ転送情報を前記第 1 のデータ転送制御部に送信し、

前記第 1 のデータ転送制御部が、前記第 1 のデータ転送情報に基づいて、前記第 1 のメモリに書き込まれた前記第 1 の書き込みデータ及び前記チェックコードのリード要求を前記第 1 のメモリコントローラに送信し、

前記第 1 のメモリコントローラが、前記第 1 の書き込みデータ及び前記チェックコードの第 1 のメモリからの読み出しを開始し、

前記第 1 のデータ転送制御部が、前記第 1 のメモリから読みだされる前記第 1 の書き込みデータの第 1 のキャッシュメモリへの転送を開始し、

前記第 1 のデータ転送制御部が、前記第 1 の書き込みデータの転送の際に、前記所定量

の第 1 の書き込みデータ毎に、前記所定量の第 1 の書き込みデータを前記所定のアルゴリズムに従って変換して算出したデータと前記所定量の第 1 の書き込みデータに付加された前記チェックコードの前記変換データとを比較し、比較の結果に応じて、前記第 1 の書き込みデータの前記キャッシュメモリへの転送を中止し、

前記第 2 のチャンネル制御部は、

前記第 2 の入出力制御部が前記第 2 の情報処理装置から受信した前記データ入出力要求が第 2 のデータ書き込み要求である場合には、

前記第 2 の入出力制御部が、前記第 2 の書き込みデータの前記第 2 のメモリにおける記憶位置を示す情報と前記第 2 の書き込みデータとの前記第 2 のメモリコントローラへの送信を開始し、

前記第 2 の入出力制御部が、前記第 2 の書き込みデータの送信の際に、所定量の前記第 2 の書き込みデータ毎に、前記所定量の第 2 の書き込みデータを所定のアルゴリズムに従って変換して算出した変換データと前記所定量の第 2 の書き込みデータの誤り有無を示す誤り有無データとを含むチェックコードを付加し、

前記第 2 のメモリコントローラが、前記第 2 の書き込みデータ及び前記チェックコードの前記第 2 のメモリへの書き込みを開始し、

前記第 2 の入出力制御部が、前記第 2 の記憶位置情報を前記第 2 のプロセッサに送信し、

前記第 2 のプロセッサが、前記第 2 のデータ転送情報を前記第 2 のデータ転送制御部に送信し、

前記第 2 のデータ転送制御部が、前記第 2 のデータ転送情報に基づいて、前記第 2 のメモリに書き込まれた前記第 2 の書き込みデータ及び前記チェックコードのリード要求を前記第 2 のメモリコントローラに送信し、

前記第 2 のメモリコントローラが、前記第 2 の書き込みデータ及び前記チェックコードの前記第 2 のメモリからの読み出しを開始し、

前記第 2 のデータ転送制御部が、前記第 2 のメモリから読みだされる前記第 2 の書き込みデータの前記キャッシュメモリへの転送を開始し、

前記第 2 のデータ転送制御部が、前記第 2 の書き込みデータの転送の際に、前記所定量の第 2 の書き込みデータ毎に、前記所定量の第 2 の書き込みデータを前記所定のアルゴリズムに従って変換して算出したデータと前記所定量の第 2 の書き込みデータに付加された前記チェックコードの前記変換データとを比較し、比較の結果に応じて、前記第 2 の書き込みデータの前記キャッシュメモリへの転送を中止すること
を特徴とする請求項 1 に記載のストレージ制御装置。

【請求項 4】

前記第 1 のチャンネル制御部は、

前記第 1 の入出力制御部が前記第 1 の情報処理装置から受信した前記データ入出力要求が第 1 のデータ読み出し要求である場合には、

前記第 1 の入出力制御部が、前記第 1 のデータ読み出し要求を前記第 1 のプロセッサに送信し、

前記第 1 のプロセッサが、前記第 3 のデータ転送情報を前記第 1 のデータ転送制御部に送信し、

前記第 1 のデータ転送制御部が、前記第 3 のデータ転送情報に基づいて、前記キャッシュメモリからの前記第 1 の読み出しデータの読み出しを開始し、

前記第 1 のデータ転送制御部が、前記第 1 の読み出しデータの前記第 1 のメモリにおける記憶位置を示す情報と前記第 1 の読み出しデータとの前記第 1 のメモリコントローラへの送信を開始し、

前記第 1 のデータ転送制御部が、前記第 1 の読み出しデータの送信の際に、所定量の前記第 1 の読み出しデータ毎に、前記所定量の第 1 の読み出しデータを所定のアルゴリズムに従って変換して算出した変換データと前記所定量の第 1 の読み出しデータの誤り有無を示す誤り有無データとを含むチェックコードを付加し、

前記第1のメモリコントローラが、前記第1の読み出しデータ及び前記チェックコードの前記第1のメモリへの書き込みを開始し、

前記第1のプロセッサが、前記第3の記憶位置情報を前記第1の入出力制御部に送信し、

前記第1の入出力制御部が、前記第3の記憶位置情報に基づいて、前記第1のメモリに書き込まれた前記第1の読み出しデータ及び前記チェックコードのリード要求を前記第1のメモリコントローラへ送信し、

前記第1のメモリコントローラが、前記第1の読み出しデータ及び前記チェックコードの前記第1のメモリからの読み出しを開始し、

前記第1のデータ転送制御部が、前記所定量の第1の読み出しデータが読みだされる毎に、前記所定量の第1の読み出しデータを前記所定のアルゴリズムに従って変換して算出したデータと前記所定量の第1の読み出しデータに付加された前記チェックコードの前記変換データとを比較し、比較の結果に応じて、前記チェックコードに、前記第1の読み出しデータに誤りがあることを示す所定のデータを書き込み、

前記第1の入出力制御部が、前記第1のメモリから読みだされる前記第1の読み出しデータを前記第1の情報処理装置に送信し、

前記第1の入出力制御部が、前記所定量の第1の読み出しデータ毎に付加される前記チェックコードに、前記第1の読み出しデータに誤りがあることを示す前記所定のデータが書き込まれている場合には、前記第1の読み出しデータの前記第1の情報処理装置への送信を中止し、

前記第2のチャネル制御部は、

前記第2の入出力制御部が前記第2の情報処理装置から受信した前記データ入出力要求が第2のデータ読み出し要求である場合には、

前記第2の入出力制御部が、前記第4の記憶位置情報を前記第2のプロセッサに送信し、

前記第2のプロセッサが、前記第4のデータ転送情報を前記第2のデータ転送制御部に送信し、

前記第2のデータ転送制御部が、前記第4のデータ転送情報に基づいて、前記キャッシュメモリからの前記第2の読み出しデータの読み出しを開始し、

前記第2のデータ転送制御部が、前記第2の読み出しデータの前記第2のメモリにおける記憶位置を示す情報と前記第2の読み出しデータとの前記第2のメモリコントローラへの送信を開始し、

前記第2のデータ転送制御部が、前記第2の読み出しデータの送信の際に、所定量の前記第2の読み出しデータ毎に、前記所定量の第2の読み出しデータを所定のアルゴリズムに従って変換して算出した変換データと前記所定量の第2の読み出しデータの誤り有無を示す誤り有無データとを含むチェックコードを付加し、

前記第2のメモリコントローラが、前記第2の読み出しデータ及び前記チェックコードの前記第2のメモリへの書き込みを開始し、

前記第2の入出力制御部が、前記第2のメモリに書き込まれた前記第2の読み出しデータ及び前記チェックコードのリード要求を前記第2のメモリコントローラへ送信し、

前記第2のメモリコントローラが、前記第2の読み出しデータ及び前記チェックコードの前記第2のメモリからの読み出しを開始し、

前記第2のデータ転送制御部が、前記所定量の第2の読み出しデータが読みだされる毎に、前記所定量の第2の読み出しデータを前記所定のアルゴリズムに従って変換して算出したデータと前記所定量の第2の読み出しデータに付加された前記チェックコードの前記変換データとを比較し、比較の結果に応じて、前記チェックコードに、前記第2の読み出しデータに誤りがあることを示す所定のデータを書き込み、

前記第2の入出力制御部が、前記第2のメモリから読みだされる前記第2の読み出しデータを前記第2の情報処理装置に送信し、

前記第2の入出力制御部が、前記所定量の第2の読み出しデータ毎に付加される前記チ

チェックコードに、前記第2の読み出しデータに誤りがあることを示す前記所定のデータが書き込まれている場合には、前記第2の読み出しデータの前記第2の情報処理装置への送信を中止すること

を特徴とする請求項2に記載のストレージ制御装置。

【請求項5】

前記第2の入出力制御部が前記第2の記憶位置情報を前記第2のプロセッサに送信する際に、前記第2の書き込みデータの前記第2のメモリへの書き込みが終了している場合には、

前記第2の記憶位置情報には、前記第2の書き込みデータの前記第2のメモリにおける最終書き込みアドレスを示す情報が含まれ、

前記第2のデータ転送情報には、前記第2の書き込みデータの前記第2のメモリにおける最終書き込みアドレスを示す情報が含まれること

を特徴とする請求項1に記載のストレージ制御装置。

【請求項6】

前記第1の情報処理装置はオープン系の情報処理装置であり、

前記第2の情報処理装置はメインフレーム系の情報処理装置であること

を特徴とする請求項1に記載のストレージ制御装置。

【請求項7】

情報処理装置からデータ入出力要求を受信し、前記情報処理装置との間でデータの送受信を行うチャンネル制御部と、

前記データ入出力要求に応じて、データを記憶する記憶ボリュームに対してデータの読み書きを行うディスク制御部と、

前記チャンネル制御部及び前記ディスク制御部の間で授受されるデータを記憶するキャッシュメモリと、

を備え、

前記チャンネル制御部は、

メモリと、

前記情報処理装置からデータ入出力要求を受信し、前記メモリと前記情報処理装置との間のデータの送受信を制御する入出力制御部と、

前記メモリ及び前記キャッシュメモリを制御するプロセッサと、

前記メモリへのデータの読み書きを行うメモリコントローラ及び前記メモリと前記キャッシュメモリとの間のデータ転送を制御する複数のデータ転送制御部を有するデータ転送装置と、

を備え、

前記入出力制御部が前記情報処理装置から第1のデータ書き込み要求及び第2のデータ書き込み要求を受信した場合には、

前記入出力制御部が、前記第1のデータ書き込み要求を前記プロセッサに送信し、

前記入出力制御部が、前記第2のデータ書き込み要求を前記プロセッサに送信し、

前記プロセッサが、前記情報処理装置から送信される前記第1のデータ書き込み要求に対応する第1の書き込みデータの前記メモリにおける記憶位置を示す情報を含む第1の記憶位置情報と前記情報処理装置から送信される前記第2のデータ書き込み要求に対応する第2の書き込みデータの前記メモリにおける記憶位置を示す情報を含む第2の記憶位置情報とを前記入出力制御部に送信し、

前記入出力制御部が、前記第1の書き込みデータの前記メモリにおける記憶位置を示す情報と前記第1の書き込みデータとの前記メモリコントローラへの送信を開始し、

前記メモリコントローラが、前記第1の書き込みデータの前記メモリへの書き込みを開始し、

前記プロセッサが、前記第1の書き込みデータの前記メモリにおける記憶位置を示す情報、及び前記第1の書き込みデータの前記キャッシュメモリにおける記憶位置を示す情報を含む第1のデータ転送情報を第1の前記データ転送制御部に送信し、

前記第1のデータ転送制御部が、前記第1のデータ転送情報に基づいて、前記メモリに書き込まれた前記第1の書き込みデータのリード要求を前記メモリコントローラに送信し、

前記メモリコントローラが、前記第1の書き込みデータの前記メモリからの読み出しを開始し、

前記第1のデータ転送制御部が、前記メモリから読みだされる前記第1の書き込みデータの前記キャッシュメモリへの転送を開始し、

前記入出力制御部が、前記第2の書き込みデータの前記メモリにおける記憶位置を示す情報と前記第2の書き込みデータとの前記メモリコントローラへの送信を開始し、

前記メモリコントローラが、前記第2の書き込みデータの前記メモリへの書き込みを開始し、

前記プロセッサが、前記第2の書き込みデータの前記メモリにおける記憶位置を示す情報、及び前記第2の書き込みデータの前記キャッシュメモリにおける記憶位置を示す情報を含む第2のデータ転送情報を第2の前記データ転送制御部に送信し、

前記第2のデータ転送制御部が、前記第2のデータ転送情報に基づいて、前記メモリに書き込まれた前記第2の書き込みデータのリード要求を前記メモリコントローラに送信し、

前記メモリコントローラが、前記第2の書き込みデータの前記メモリからの読み出しを開始し、

前記第2のデータ転送制御部が、前記メモリから読みだされる前記第2の書き込みデータの前記キャッシュメモリへの転送を開始すること

を特徴とするストレージ制御装置。

【請求項8】

前記入出力制御部が前記情報処理装置から前記第1のデータ書き込み要求及び前記第2のデータ書き込み要求を受信した場合には、

前記入出力制御部が、前記第1のデータ書き込み要求を前記プロセッサに送信し、

前記入出力制御部が、前記第2のデータ書き込み要求を前記プロセッサに送信し、

前記プロセッサが、前記第1の記憶位置情報と前記第2の記憶位置情報とを前記入出力制御部に送信し、

前記入出力制御部が、前記第1の書き込みデータの前記メモリにおける記憶位置を示す情報と前記第1の書き込みデータとの前記メモリコントローラへの送信を開始し、

前記入出力制御部が、前記第1の書き込みデータの送信の際に、所定量の前記第1の書き込みデータ毎に、前記所定量の第1の書き込みデータを所定のアルゴリズムに従って変換して算出した変換データと前記所定量の第1の書き込みデータの誤り有無を示す誤り有無データとを含むチェックコードを付加し、

前記メモリコントローラが、前記第1の書き込みデータ及び前記チェックコードの前記メモリへの書き込みを開始し、

前記プロセッサが、前記第1のデータ転送情報を前記第1のデータ転送制御部に送信し、

前記第1のデータ転送制御部が、前記第1のデータ転送情報に基づいて、前記メモリに書き込まれた前記第1の書き込みデータ及び前記チェックコードのリード要求を前記メモリコントローラに送信し、

前記メモリコントローラが、前記第1の書き込みデータ及び前記チェックコードの前記メモリからの読み出しを開始し、

前記第1のデータ転送制御部が、前記メモリから読みだされる前記第1の書き込みデータの前記キャッシュメモリへの転送を開始し、

前記第1のデータ転送制御部が、前記第1の書き込みデータの転送の際に、前記所定量の第1の書き込みデータ毎に、前記所定量の第1の書き込みデータを前記所定のアルゴリズムに従って変換して算出したデータと前記所定量の第1の書き込みデータに付加された前記チェックコードの前記変換データとを比較し、比較の結果に応じて、前記第1の書き

込みデータの前記キャッシュメモリへの転送を中止し、

前記入出力制御部が、前記第2の書き込みデータの前記メモリにおける記憶位置を示す情報と前記第2の書き込みデータとの前記メモリコントローラへの送信を開始し、

前記入出力制御部が、前記第2の書き込みデータの送信の際に、所定量の前記第2の書き込みデータ毎に、前記所定量の第2の書き込みデータを所定のアルゴリズムに従って変換して算出した変換データと前記所定量の第2の書き込みデータの誤り有無を示す誤り有無データとを含むチェックコードを付加し、

前記メモリコントローラが、前記第2の書き込みデータ及び前記チェックコードの前記メモリへの書き込みを開始し、

前記プロセッサが、前記第2のデータ転送情報を前記第2のデータ転送制御部に送信し、

前記第2のデータ転送制御部が、前記第2のデータ転送情報に基づいて、前記メモリに書き込まれた前記第2の書き込みデータ及び前記チェックコードのリード要求を前記メモリコントローラに送信し、

前記メモリコントローラが、前記第2の書き込みデータ及び前記チェックコードの前記メモリからの読み出しを開始し、

前記第2のデータ転送制御部が、前記メモリから読みだされる前記第2の書き込みデータの前記キャッシュメモリへの転送を開始し、

前記第2のデータ転送制御部が、前記第2の書き込みデータの転送の際に、前記所定量の第2の書き込みデータ毎に、前記所定量の第2の書き込みデータを前記所定のアルゴリズムに従って変換して算出したデータと前記所定量の書き込みデータに付加された前記チェックコードの前記変換データとを比較し、比較の結果に応じて、前記第2の書き込みデータの前記キャッシュメモリへの転送を中止すること

を特徴とする請求項7に記載のストレージ制御装置。

【請求項9】

第1の情報処理装置からデータ入出力要求を受信し、前記第1の情報処理装置との間でデータの送受信を行う第1のチャンネル制御部と、

第2の情報処理装置からデータ入出力要求を受信し、前記第2の情報処理装置との間でデータの送受信を行う第2のチャンネル制御部と、

前記データ入出力要求に応じて、データを記憶する記憶ボリュームに対してデータの読み書きを行うディスク制御部と、

前記第1のチャンネル制御部、前記第2のチャンネル制御部、及び前記ディスク制御部の間で授受されるデータを記憶するキャッシュメモリと、

を備え、

前記第1のチャンネル制御部は、

第1のメモリと、

前記第1の情報処理装置からデータ入出力要求を受信し、前記第1のメモリと前記第1の情報処理装置との間のデータの送受信を制御する第1の入出力制御部と、

前記第1のメモリ及び前記キャッシュメモリを制御する第1のプロセッサと、

前記第1のメモリへのデータの読み書きを行う第1のメモリコントローラ及び前記第1のメモリと前記キャッシュメモリとの間のデータ転送を制御する複数の第1のデータ転送制御部を有する第1のデータ転送装置と、

を備え、

前記第2のチャンネル制御部は、

第2のメモリと、

前記第2のメモリを制御し、前記第2の情報処理装置からデータ入出力要求を受信し、前記第2のメモリと前記第2の情報処理装置との間のデータの送受信を制御する第2の入出力制御部と、

前記キャッシュメモリを制御する第2のプロセッサと、

前記第2のメモリへのデータの読み書きを行う第2のメモリコントローラ及び前記第2

のメモリと前記キャッシュメモリとの間のデータ転送を制御する第2のデータ転送制御部を有する第2のデータ転送装置と、

を備え、

前記第1のチャネル制御部は、

前記第1の入出力制御部が前記第1の情報処理装置から第1のデータ書き込み要求及び第2のデータ書き込み要求を受信した場合には、

前記第1の入出力制御部が、前記第1のデータ書き込み要求を前記第1のプロセッサに送信し、

前記第1の入出力制御部が、前記第2のデータ書き込み要求を前記第1のプロセッサに送信し、

前記第1のプロセッサが、前記第1の情報処理装置から送信される前記第1のデータ書き込み要求に対応する第1の書き込みデータの前記第1のメモリにおける記憶位置を示す情報を含む第1の記憶位置情報と前記第1の情報処理装置から送信される前記第2のデータ書き込み要求に対応する第2の書き込みデータの前記第1のメモリにおける記憶位置を示す情報を含む第2の記憶位置情報とを前記第1の入出力制御部に送信し、

前記第1の入出力制御部が、前記第1の書き込みデータの前記第1のメモリにおける記憶位置を示す情報と前記第1の書き込みデータとの前記第1のメモリコントローラへの送信を開始し、

前記第1のメモリコントローラが、前記第1の書き込みデータの前記第1のメモリへの書き込みを開始し、

前記第1のプロセッサが、前記第1の書き込みデータの前記第1のメモリにおける記憶位置を示す情報、及び前記第1の書き込みデータの前記キャッシュメモリにおける記憶位置を示す情報を含む第1のデータ転送情報を前記第1のデータ転送制御部のいずれかに送信し、

前記第1のデータ転送情報が送信された前記第1のデータ転送制御部が、前記第1のデータ転送情報に基づいて、前記第1のメモリに書き込まれた前記第1の書き込みデータのリード要求を前記第1のメモリコントローラに送信し、

前記第1のメモリコントローラが、前記第1の書き込みデータの前記第1のメモリからの読み出しを開始し、

前記第1のデータ転送情報が送信された前記第1のデータ転送制御部が、前記第1のメモリから読みだされる前記第1の書き込みデータの前記キャッシュメモリへの転送を開始し、

前記第1の入出力制御部が、前記第2の書き込みデータの前記第1のメモリにおける記憶位置を示す情報と前記第2の書き込みデータとの前記第1のメモリコントローラへの送信を開始し、

前記第1のメモリコントローラが、前記第2の書き込みデータの前記第1のメモリへの書き込みを開始し、

前記第1のプロセッサが、前記第2の書き込みデータの前記第1のメモリにおける記憶位置を示す情報、及び前記第2の書き込みデータの前記キャッシュメモリにおける記憶位置を示す情報を含む第2のデータ転送情報を、前記第1のデータ転送情報が送信された前記第1のデータ転送制御部とは異なる他の前記第1のデータ転送制御部に送信し、

前記第2のデータ転送情報が送信された前記第1のデータ転送制御部が、前記第2のデータ転送情報に基づいて、前記第1のメモリに書き込まれた前記第2の書き込みデータのリード要求を前記第1のメモリコントローラに送信し、

前記第1のメモリコントローラが、前記第2の書き込みデータの前記第1のメモリからの読み出しを開始し、

前記第1のデータ転送情報が送信された前記第2のデータ転送制御部が、前記第1のメモリから読みだされる前記第2の書き込みデータの前記キャッシュメモリへの転送を開始し、

前記第2のチャネル制御部は、

前記第 2 の入出力制御部が前記第 2 の情報処理装置から受信した前記データ入出力要求が第 3 のデータ書き込み要求である場合には、

前記第 2 の入出力制御部が、前記第 2 の情報処理装置から送信される前記第 3 のデータ書き込み要求に対応する第 3 の書き込みデータの前記第 2 のメモリにおける記憶位置を示す情報と前記第 3 の書き込みデータとの前記第 2 のメモリコントローラへの送信を開始し、

前記第 2 のメモリコントローラが、前記第 3 の書き込みデータの前記第 2 のメモリへの書き込みを開始し、

前記第 2 の入出力制御部が、前記第 3 の書き込みデータの前記第 2 のメモリにおける記憶位置を示す情報を含む第 3 の記憶位置情報を前記第 2 のプロセッサに送信し、

前記第 2 のプロセッサが、前記第 3 の書き込みデータの前記第 2 のメモリにおける記憶位置を示す情報、及び前記第 3 の書き込みデータの前記キャッシュメモリにおける記憶位置を示す情報を含む第 3 のデータ転送情報を前記第 2 のデータ転送制御部に送信し、

前記第 2 のデータ転送制御部が、前記第 3 のデータ転送情報に基づいて、前記第 2 のメモリに書き込まれた前記第 3 の書き込みデータのリード要求を前記第 2 のメモリコントローラに送信し、

前記第 2 のメモリコントローラが、前記第 3 の書き込みデータの前記第 2 のメモリからの読み出しを開始し、

前記第 2 のデータ転送制御部が、前記第 2 のメモリから読みだされる前記第 3 の書き込みデータの前記キャッシュメモリへの転送を開始すること
を特徴とするストレージ制御装置。

【請求項 1 0】

前記第 1 の情報処理装置はオープン系の情報処理装置であり、

前記第 2 の情報処理装置はメインフレーム系の情報処理装置であること
を特徴とする請求項 9 に記載のストレージ制御装置。

【書類名】明細書

【発明の名称】ストレージ制御装置

【技術分野】

【0001】

本発明は、ストレージ制御装置に関する。

【背景技術】

【0002】

近年の情報技術の進歩に伴い、ストレージ装置の記憶容量は増加の一途を辿っている。このような大容量のストレージ装置を複数の情報処理装置と通信可能に接続し、ストレージ装置が提供する大容量の記憶資源をこれらの複数の情報処理装置で利用する技術が開発されている。この場合、オープン系の情報処理装置とメインフレーム系の情報処理装置とを混在させてストレージ装置の記憶資源を利用する技術も開発されている。

【特許文献1】特開平9-325905号公報

【発明の開示】

【発明が解決しようとする課題】

【0003】

しかしながら、オープン系の情報処理装置とメインフレーム系の情報処理装置とでは、前者が比較的成本を重視する傾向があり、後者が比較的性能を重視する傾向がある点で、ストレージ装置に求める特性に相違がある。

そのため、両者のいずれの要求にも柔軟に対応可能なストレージ装置が求められていた。

本発明は上記課題を鑑みてなされたものであり、ストレージ制御装置を提供することを主たる目的とする。

【課題を解決するための手段】

【0004】

上記課題を解決するために、本発明は、第1の情報処理装置からデータ入出力要求を受信し、前記第1の情報処理装置との間でデータの送受信を行う第1のチャンネル制御部と、第2の情報処理装置からデータ入出力要求を受信し、前記第2の情報処理装置との間でデータの送受信を行う第2のチャンネル制御部と、前記データ入出力要求に応じて、データを記憶する記憶ボリュームに対してデータの読み書きを行うディスク制御部と、前記第1のチャンネル制御部、前記第2のチャンネル制御部、及び前記ディスク制御部の間で授受されるデータを記憶するキャッシュメモリとを備え、前記第1のチャンネル制御部は、第1のメモリと、前記第1の情報処理装置からデータ入出力要求を受信し、前記第1のメモリと前記第1の情報処理装置との間のデータの送受信を制御する第1の入出力制御部と、前記第1のメモリ及び前記キャッシュメモリを制御する第1のプロセッサと、前記第1のメモリへのデータの読み書きを行う第1のメモリコントローラ及び前記第1のメモリと前記キャッシュメモリとの間のデータ転送を制御する第1のデータ転送制御部を有する第1のデータ転送装置とを備え、前記第2のチャンネル制御部は、第2のメモリと、前記第2のメモリを制御し、前記第2の情報処理装置からデータ入出力要求を受信し、前記第2のメモリと前記第2の情報処理装置との間のデータの送受信を制御する第2の入出力制御部と、前記キャッシュメモリを制御する第2のプロセッサと、前記第2のメモリへのデータの読み書きを行う第2のメモリコントローラ及び前記第2のメモリと前記キャッシュメモリとの間のデータ転送を制御する第2のデータ転送制御部を有する第2のデータ転送装置とを備え、前記第1のチャンネル制御部は、前記第1の入出力制御部が前記第1の情報処理装置から受信した前記データ入出力要求が第1のデータ書き込み要求である場合には、前記第1の入出力制御部が、前記第1のデータ書き込み要求を前記第1のプロセッサに送信し、前記第1のプロセッサが、前記第1の情報処理装置から送信される第1の書き込みデータの前記第1のメモリにおける記憶位置を示す情報を含む第1の記憶位置情報を前記第1の入出力制御部に送信し、前記第1の入出力制御部が、前記第1の書き込みデータの前記第1のメモリにおける記憶位置を示す情報と前記第1の書き込みデータとの前記第1のメモリコン

トローラへの送信を開始し、前記第1のメモリコントローラが、前記第1の書き込みデータの前記第1のメモリへの書き込みを開始し、前記第1のプロセッサが、前記第1の書き込みデータの前記第1のメモリにおける記憶位置を示す情報、及び前記第1の書き込みデータの前記キャッシュメモリにおける記憶位置を示す情報を含む第1のデータ転送情報を前記第1のデータ転送制御部に送信し、前記第1のデータ転送制御部が、前記第1のデータ転送情報に基づいて、前記第1のメモリに書き込まれた前記第1の書き込みデータのリード要求を前記第1のメモリコントローラに送信し、前記第1のメモリコントローラが、前記第1の書き込みデータの前記第1のメモリからの読み出しを開始し、前記第1のデータ転送制御部が、前記第1のメモリから読みだされる前記第1の書き込みデータの前記キャッシュメモリへの転送を開始し、前記第2のチャンネル制御部は、前記第2の入出力制御部が前記第2の情報処理装置から受信した前記データ入出力要求が第2のデータ書き込み要求である場合には、前記第2の入出力制御部が、前記第2の情報処理装置から送信される第2の書き込みデータの前記第2のメモリにおける記憶位置を示す情報と前記第2の書き込みデータとの前記第2のメモリコントローラへの送信を開始し、前記第2のメモリコントローラが、前記第2の書き込みデータの前記第2のメモリへの書き込みを開始し、前記第2の入出力制御部が、前記第2の書き込みデータの前記第2のメモリにおける記憶位置を示す情報を含む第2の記憶位置情報を前記第2のプロセッサに送信し、前記第2のプロセッサが、前記第2の書き込みデータの前記第2のメモリにおける記憶位置を示す情報、及び前記第2の書き込みデータの前記キャッシュメモリにおける記憶位置を示す情報を含む第2のデータ転送情報を前記第2のデータ転送制御部に送信し、前記第2のデータ転送制御部が、前記第2のデータ転送情報に基づいて、前記第2のメモリに書き込まれた前記第2の書き込みデータのリード要求を前記第2のメモリコントローラに送信し、前記第2のメモリコントローラが、前記第2の書き込みデータの前記第2のメモリからの読み出しを開始し、前記第2のデータ転送制御部が、前記第2のメモリから読みだされる前記第2の書き込みデータの前記キャッシュメモリへの転送を開始することを特徴とするストレージ制御装置に関する。

【0005】

その他、本願が開示する課題、及びその解決方法は、発明を実施するための最良の形態の欄、及び図面により明らかにされる。

【発明の効果】

【0006】

ストレージ制御装置を提供することができる。

【発明を実施するための最良の形態】

【0007】

===全体構成例===

まず、本実施の形態に係るストレージ制御装置100を含むストレージシステム600の全体構成を示すブロック図を図1に示す。

ストレージシステム600は、ストレージ制御装置100とストレージ駆動装置300とを備える。ストレージ制御装置100は、例えば情報処理装置1乃至5(200)から受信したコマンドに従ってストレージ駆動装置300に対する制御を行う。例えば情報処理装置1乃至5(200)からデータ入出力要求を受信して、ストレージ駆動装置300が備える記憶ボリューム310に対してデータの読み書きを行う。

【0008】

情報処理装置1乃至5(200)はCPU(Central Processing Unit)やメモリを備えたコンピュータ等の情報機器である。情報処理装置1乃至5(200)が備えるCPUにより各種プログラムが実行されることにより様々な機能が実現される。情報処理装置1乃至5(200)は、例えば銀行の自動預金預け払いシステムや航空機の座席予約システム等における中枢コンピュータとして利用される。

【0009】

情報処理装置1乃至4(200)は、例えばパーソナルコンピュータやワークステーシ

ョン等のオープン系コンピュータ（オープン系の情報処理装置）とすることができる。また情報処理装置 5（200）はメインフレームコンピュータ（メインフレーム系の情報処理装置）とすることができる。メインフレームコンピュータでは、メインフレーム系オペレーティングシステムによる制御の下、メインフレーム系アプリケーションプログラムが実行される。メインフレームコンピュータは、主として高性能が求められるアプリケーションプログラムを実行するコンピュータシステムにおいて用いられることが多い。そのため、メインフレームコンピュータに接続されたストレージ制御装置 100 及びストレージ駆動装置 300 は、メインフレームコンピュータからのデータ入出力要求に対して、短時間にデータ入出力処理を行うことが求められる。一方、オープン系コンピュータは、公開された技術規格に従って製造されており、規格が合えば異なるメーカー同士の機器を接続して使用できるという特徴を持つ。オープン系コンピュータ上では、オープン系オペレーティングシステムによる制御の下、オープン系アプリケーションプログラムが実行される。オープン系コンピュータの場合はメインフレームコンピュータと比べて、部品共通化等による低コスト化が重視される傾向にあり、高性能化の比重は比較的小さい。

【0010】

図 1 において、情報処理装置 1 乃至 4（200）は SAN（Storage Area network）500 を介してストレージ制御装置 100 と通信可能に接続されている。SAN 500 は、ストレージ制御装置 100 と情報処理装置 1 乃至 4（200）との間でデータ入出力要求やデータの送受信を行うためのネットワークである。SAN 500 を介して行われる情報処理装置 1 乃至 4（200）とストレージ制御装置 100 との間の通信は、例えばファイバチャネルプロトコルに従って行われるようにすることができる。この場合、情報処理装置 1 乃至 4（200）とストレージ制御装置 100 との間では、例えば 2 kB（キロバイト）のデータブロックを単位としてデータの送受信が行われる。例えば情報処理装置 1 乃至 4（200）からストレージ制御装置 100 に対して 10 kB の書き込みデータが送信される場合には、その書き込みデータは 2 kB 毎のブロックデータに分割されて送信される。ストレージ制御装置 100 は SAN 500 を介して複数の情報処理装置 1 乃至 4（200）に接続されているので、各情報処理装置 1 乃至 4（200）からの様々なデータ入出力要求やデータブロックを混在して受信することになる。なお、もちろん、情報処理装置 1 乃至 4（200）とストレージ制御装置 100 との間は、SAN 500 を介して接続されている必要はなく、例えば、LAN（Local Area Network）を介して接続されているようにすることもできる。

【0011】

情報処理装置 5（200）は、SAN 500 等のネットワークを介さずにストレージ制御装置 100 と接続されている。情報処理装置 5（200）とストレージ制御装置 100 との間の通信は、例えば FICON（Fibre Connection）（登録商標）や ESCON（Enterprise System Connection）（登録商標）、ACONARC（Advanced Connection Architecture）（登録商標）、FIBARC（Fibre Connection Architecture）（登録商標）などの通信プロトコルに従って行われるようにすることができる。情報処理装置 5（200）とストレージ制御装置 100 との間では、これらの通信プロトコルに従ってデータ入出力要求やデータの送受信が行われる。この場合も、情報処理装置 5（200）とストレージ制御装置 100 との間では、所定のデータブロックを単位としてデータの送受信が行われる。なお、もちろん、情報処理装置 5（200）とストレージ制御装置 100 との間が SAN 500 で接続され、ファイバチャネルプロトコルに従って通信が行われるようにすることもできる。

【0012】

===ストレージ駆動装置===

ストレージ駆動装置 300 はデータを記憶するための多数の物理ディスクドライブを備えている。これにより情報処理装置 1 乃至 5（200）に対して大容量の記憶領域を提供することができる。物理ディスクドライブは、ハードディスクドライブなどのデータ記憶媒体、あるいは、RAID（Redundant Arrays of Inexpensive Disks）を構成する複数

のハードディスクドライブにより構成されてなるようにすることができる。また物理ディスクドライブにより提供される物理的な記憶領域である物理ボリュームには、論理的な記憶領域である論理ボリュームを設定することができる。物理ボリュームと論理ボリュームとを含む、データを記憶するための記憶領域を記憶ボリューム 310 とも記す。

ストレージ制御装置 100 とストレージ駆動装置 300 との間は図 1 のように直接に接続される形態とすることもできるし、ネットワークを介して接続されるようにすることもできる。さらにストレージ駆動装置 300 はストレージ制御装置 100 と一体として構成されるようにすることもできる。

【0013】

===ストレージ制御装置===

ストレージ制御装置 100 はチャンネル制御部 110、共有メモリ 120、キャッシュメモリ 130、ディスク制御部 140、管理端末 160、内部接続部 150 を備える。

ストレージ制御装置 100 は、チャンネル制御部 1 乃至 6 (110) により SAN 500 を介して情報処理装置 1 乃至 4 (200) との間の通信を行う。またチャンネル制御部 7 乃至 8 (110) により情報処理装置 5 (200) との間の通信を行う。

チャンネル制御部 110 は情報処理装置 200 との間で通信を行うための通信インタフェースを備え、情報処理装置 200 からデータ入出力要求を受信し、情報処理装置との間でデータの送受信を行う。

各チャンネル制御部 110 は管理端末 160 と共に内部 LAN 151 で接続されている。これによりチャンネル制御部 110 に実行させるマイクロプログラム等を管理端末 160 から送信しインストールすることが可能となっている。チャンネル制御部 110 の構成については後述する。

【0014】

内部接続部 150 はチャンネル制御部 110、共有メモリ 120、キャッシュメモリ 130、ディスク制御部 140 を相互に接続する。チャンネル制御部 110、共有メモリ 120、キャッシュメモリ 130、ディスク制御部 140 の間でのデータやコマンドの授受は内部接続部 150 を介することにより行われる。内部接続部 150 は例えばクロスバスイッチで構成される。

共有メモリ 120 及びキャッシュメモリ 130 は、チャンネル制御部 110、ディスク制御部 140 の間で授受されるデータを記憶するメモリである。共有メモリ 120 は主に制御情報やコマンド等を記憶するために利用されるのに対し、キャッシュメモリ 130 は、主にデータを記憶するために利用される。

【0015】

例えば、あるチャンネル制御部 110 が情報処理装置 200 から受信したデータ入出力要求がデータ書き込み要求であった場合には、当該チャンネル制御部 110 はデータ書き込み要求を共有メモリ 120 に書き込むと共に、情報処理装置 200 から受信した書き込みデータをキャッシュメモリ 130 に書き込む。一方、ディスク制御部 140 は共有メモリ 120 を監視しており、共有メモリ 120 にデータ書き込み要求が書き込まれたことを検出すると、当該データ書き込み要求に従ってキャッシュメモリ 130 から書き込みデータを読み出してストレージ駆動装置 300 に書き込む。

【0016】

またあるチャンネル制御部 110 が情報処理装置 200 から受信したデータ入出力要求がデータ読み出し要求であった場合には、読み出し対象となる読み出しデータがキャッシュメモリ 130 に存在するかどうかを調べる。ここでキャッシュメモリ 130 に存在すれば、チャンネル制御部 110 はその読み出しデータを情報処理装置 200 に送信する。一方、読みだしデータがキャッシュメモリ 130 に存在しない場合には、当該チャンネル制御部 110 はデータ読み出し要求を共有メモリ 120 に書き込むと共に、共有メモリ 120 を監視する。データ読み出し要求が共有メモリ 120 に書き込まれたことを検出したディスク制御部 140 は、ストレージ駆動装置 300 から読みだし対象となる読み出しデータを読み出してこれをキャッシュメモリ 130 に書き込むと共に、その旨を共有メモリ 120 に

書き込む。そして、チャネル制御部 110 は読みだし対象となる読み出しデータがキャッシュメモリ 130 に書き込まれたことを検出すると、その読み出しデータを情報処理装置 200 に送信する。

【0017】

このようにチャネル制御部 110 及びディスク制御部 140の間では、キャッシュメモリ 130 を介してデータの授受が行われる。

【0018】

なお、チャネル制御部 110 からディスク制御部 140 に対するデータの書き込みや読み出しの指示を共有メモリ 120 を介在させて間接的に行う構成の他、例えばチャネル制御部 110 からディスク制御部 140 に対してデータの書き込みや読み出しの指示を共有メモリ 120 を介さずに直接に行う構成とすることもできる。

また、チャネル制御部 110 とディスク制御部 140 とを一体的に構成し、両機能を合わせ持った制御部を設けるようにすることもできる。

【0019】

ディスク制御部 140 は、データを記憶する記憶ボリューム 310 と通信可能に接続され、ストレージ駆動装置 300 の制御を行う。例えば上述のように、チャネル制御部 110 が情報処理装置 200 から受信したデータ入出力要求に応じて、記憶ボリューム 310 に対してデータの読み書きを行う。

各ディスク制御部 140 は管理端末 160 と共に内部 LAN 151 で接続されており、相互に通信を行うことが可能である。これにより、ディスク制御部 140 に実行させるマイクロプログラム等を管理端末 160 から送信しインストールすることが可能となっている。ディスク制御部 140 の構成については後述する。

【0020】

本実施例においては、共有メモリ 120 及びキャッシュメモリ 130 がチャネル制御部 110 及びディスク制御部 140 に対して独立に設けられている場合について記載したが、本実施例はこの場合に限られるものでない。例えば共有メモリ 120 又はキャッシュメモリ 130 がチャネル制御部 110 及びディスク制御部 140 の各々に分散されて設けられることも好ましい。この場合、内部接続部 150 は、分散された共有メモリ 120 又はキャッシュメモリ 130 を有するチャネル制御部 110 及びディスク制御部 140 を相互に接続させることになる。

また、チャネル制御部 110、ディスク制御部 140、内部接続部 150、共有メモリ 120、キャッシュメモリ 130 の少なくともいずれかが一体として構成されているようにすることもできる。

【0021】

===管理端末===

管理端末 160 はストレージシステム 600 を保守・管理するための情報機器である。オペレータは、管理端末 160 を操作することにより、例えばストレージ駆動装置 300 内の物理ディスクドライブの構成の設定や、情報処理装置 200 とチャネル制御部 110 との間の通信路であるパスの設定、記憶ボリューム 310 の設定、チャネル制御部 110 やディスク制御部 140 において実行されるマイクロプログラムのインストール等を行うことができる。これらの設定や制御は、管理端末 160 が備えるユーザインタフェース、あるいは管理端末 160 で動作する Web サーバにより提供される Web ページを表示する情報処理装置 1乃至5 (200) のユーザインタフェースから行うようにすることができる。

【0022】

管理端末 160 はストレージ制御装置 100 に内蔵されている形態とすることもできるし、外付けされている形態とすることもできる。また管理端末 160 は、ストレージ制御装置 100 及びストレージ駆動装置 300 の保守・管理を専用に行うコンピュータとすることもできるし、汎用のコンピュータに保守・管理機能を持たせたものとすることもできる。

【0023】

管理端末160の構成を示すブロック図を図4に示す。

管理端末160は、CPU161、メモリ162、ポート163、記録媒体読取装置164、入力装置165、出力装置166、記憶装置168を備える。

【0024】

CPU161は管理端末160の全体の制御を司るもので、メモリ162に記憶された各種の動作を行うためのコードから構成されるストレージ管理プログラム162Aを実行することにより、ストレージシステム600の保守・管理機能を提供することができる。また同様に例えばストレージ管理プログラム162Aを実行することにより上記Webサーバとしての機能等を実現するようにすることができる。

【0025】

記録媒体読取装置164は、記録媒体167に記録されているプログラムやデータを読み取るための装置である。読み取られたプログラムやデータはメモリ162や記憶装置168に格納される。従って、例えば記録媒体167に記録されたストレージ管理プログラム162Aを、記録媒体読取装置164を用いて上記記録媒体167から読み取って、メモリ162や記憶装置168に格納するようにすることができる。記録媒体167としてはフレキシブルディスクやCD-ROM、半導体メモリ等を用いることができる。記録媒体読取装置164は管理端末160に内蔵されている形態とすることもできるし、外付されている形態とすることもできる。記憶装置168は、例えばハードディスク装置や半導体記憶装置等である。入力装置165はオペレータ等による管理端末160へのデータ入力等のために用いられるユーザインタフェースである。入力装置165としては例えばキーボードやマウス等が用いられる。出力装置166は情報を外部に出力するために用いられるユーザインタフェースである。出力装置166としては例えばディスプレイやプリンタ等が用いられる。ポート163は内部LAN151に接続されており、これにより管理端末160はチャンネル制御部110やディスク制御部140等と通信を行うことができる。またポート163は例えばLAN等と通信可能に接続されるようにすることもできる。この場合管理端末160は、LANを通じて情報処理装置1乃至5(200)と通信を行うようにすることもできる。

【0026】

===外観図===

次に、本実施の形態に係るストレージシステム600の外観構成を図2に示す。また、ストレージ制御装置100の外観構成を図3に示す。

図2に示すように、本実施の形態に係るストレージシステム600はストレージ制御装置100及びストレージ駆動装置300がそれぞれの筐体に納められた形態をしている。図2に示す例では、ストレージ制御装置100の筐体の両側にストレージ駆動装置300の筐体が配置されている。

【0027】

ストレージ制御装置100は、正面中央部に管理端末160が備えられている。管理端末160はカバーで覆われており、図3に示すようにカバーを開けることにより管理端末160を使用することができる。なお図3に示した管理端末160はいわゆるノート型パーソナルコンピュータの形態をしているが、どのような形態とすることも可能である。

【0028】

管理端末160の下部には、チャンネル制御部110やディスク制御部140、キャッシュメモリ130、共有メモリ120、内部接続部150を装着するためのスロットが設けられている。チャンネル制御部110やディスク制御部140、キャッシュメモリ130、共有メモリ120、内部接続部150は回路基板を備えてボードとして構成されており、これらのボードが各スロットに装着される。各スロットにはこれらのボードを装着するためのガイドレールが設けられている。ガイドレールに沿って各ボードをスロットに挿入することにより、チャンネル制御部110やディスク制御部140、キャッシュメモリ130、共有メモリ120、内部接続部150をストレージ制御装置100に装着することがで

きる。各スロットの奥手方向正面部には、各ボードをストレージ制御装置 100 と電氣的に接続するためのコネクタが設けられている。

【0029】

またストレージ制御装置 100 には、チャンネル制御部 110 等から発生する熱を放出するためのファン 170 が設けられている。ファン 170 はストレージ制御装置 100 の上面部に設けられる他、スロットの上部にも設けられている。

【0030】

===チャンネル制御部===

チャンネル制御部 110 の構成を図 5 及び図 27 に示す。図 5 に示すチャンネル制御部はオープン系チャンネル制御部 110A であり、図 27 に示すチャンネル制御部はメインフレーム系チャンネル制御部 110B である。オープン系チャンネル制御部 110A は、オープン系情報処理装置 200 からデータ入出力要求を受信し、オープン系情報処理装置 200 との間でデータの送受信を行う。例えば図 1 に示すチャンネル制御部 1 乃至 6 (110A) である。メインフレーム系チャンネル制御部 110B は、メインフレーム系情報処理装置 200 からデータ入出力要求を受信し、メインフレーム系情報処理装置 200 との間でデータの送受信を行う。例えば図 1 に示すチャンネル制御部 7 乃至 8 (110B) である。オープン系チャンネル制御部 110A とメインフレーム系チャンネル制御部 110B とを区別する必要がない場合には、単にチャンネル制御部 110 とも記す。

【0031】

オープン系チャンネル制御部 110A は回路基板 118 を備えた一つのユニット化されたボードとして構成される。オープン系チャンネル制御部 110A は一枚もしくは複数枚の回路基板 118 を含んで構成される。回路基板 118 には、オープン系プロセッサ 119A、オープン系ホスト I/F 制御 LSI (ホスト Interface 制御 Large Scale Integration、入出力制御部) 115A、データ転送装置 114、データ格納メモリ (メモリ) 117、ローカルメモリ 111、及びコネクタ 116 が形成されている。

【0032】

オープン系ホスト I/F 制御 LSI 115A は、オープン系情報処理装置 200 との間で通信を行うための通信インタフェース機能を提供し、オープン系情報処理装置 200 からデータ入出力要求を受信し、データ格納メモリ 117 とオープン系情報処理装置 200 との間のデータの送受信を制御する。オープン系ホスト I/F 制御 LSI 115A と接続されるコネクタ 116A は、オープン系情報処理装置 200 と通信可能に接続される通信ポートを構成する。

【0033】

オープン系プロセッサ 119A は、データ格納メモリ 117 やキャッシュメモリ 130 を制御する。すなわち、オープン系プロセッサ 119A は、オープン系ホスト I/F 制御 LSI 115A がオープン系情報処理装置 200 との間で送受信するデータの、キャッシュメモリ 130 やデータ格納メモリ 117 における記憶位置を制御する。

【0034】

データ格納メモリ 117 は、オープン系チャンネル制御部 110A がオープン系情報処理装置 200 との間で送受信するデータを記憶するためのメモリである。例えば、オープン系ホスト I/F 制御 LSI 115A がオープン系情報処理装置 200 から書き込みデータを受信した場合には、その書き込みデータは、データ格納メモリ 117 の、オープン系プロセッサ 119A により指示された記憶位置に一旦書き込まれる。そしてこの書き込みデータはデータ転送装置 114 によりキャッシュメモリ 130 に転送される。

【0035】

この際、前述したようにオープン系情報処理装置 200 から送信される書き込みデータは所定のデータブロックに分割されて送信される。オープン系情報処理装置 200 から送信される書き込みデータをキャッシュメモリ 130 へ転送する際には、これらのデータブロックをある程度ひとまとめにして転送した方が、データ転送の回数を少なくできるので、データ転送の効率が良い。どの程度のデータブロックをひとまとめにするのが良いかは

オープン系プロセッサ 119A が判断し、データ転送装置 114 に指示する。

【0036】

データ転送装置 114 は、オープン系プロセッサ 119A からの指示に従い、データ格納メモリ 117 とキャッシュメモリ 130 との間のデータ転送を制御する。詳細は後述するが、データ転送装置 114 は、データ格納メモリ 117 へのデータの読み書きを行うメモリコントローラ 840 及びデータ格納メモリ 117 とキャッシュメモリ 130 との間のデータ転送を制御する一つあるいは複数の DMA (Direct Memory Access、データ転送制御部) 800 を有する。

【0037】

ローカルメモリ 111 は、オープン系プロセッサ 119A により実行されるプログラム等を記憶する。このプログラムは例えば管理端末 160 から内部 LAN 151 を通じて書き込まれるようにすることができる。

【0038】

データ転送装置 114 と接続されるコネクタ 116B がストレージ制御装置 100 側のコネクタと嵌合することにより、オープン系チャンネル制御部 110A はストレージ制御装置 100 の内部接続部 150 や管理端末 160 等と電氣的に接続される。

【0039】

メインフレーム系チャンネル制御部 110B も回路基板 118 を備えた一つのユニット化されたボードとして構成される。メインフレーム系チャンネル制御部 110B は一枚もしくは複数枚の回路基板 118 を含んで構成される。回路基板 118 には、メインフレーム系プロセッサ 119B、メインフレーム系ホスト I/F 制御 LSI (入出力制御部) 115B、データ転送装置 114、データ格納メモリ 117、ローカルメモリ 111、及びコネクタ 116 が形成されている。

【0040】

メインフレーム系ホスト I/F 制御 LSI 115B は、メインフレーム系情報処理装置 200 との間で通信を行うための通信インタフェース機能を提供し、データ格納メモリ 117 を制御すると共に、メインフレーム系情報処理装置 200 からデータ入出力要求を受信し、データ格納メモリ 117 とメインフレーム系情報処理装置 200 との間のデータの送受信を制御する。メインフレーム系チャンネル制御部 110B の場合は、データ格納メモリ 117 に記憶されるデータの記憶位置はメインフレーム系ホスト I/F 制御 LSI 115B に制御される。メインフレーム系ホスト I/F 制御 LSI 115B と接続されるコネクタ 116A は、メインフレーム系情報処理装置 200 と通信可能に接続される通信ポートを構成する。

【0041】

メインフレーム系プロセッサ 119B は、キャッシュメモリ 130 を制御する。すなわち、メインフレーム系プロセッサ 119B は、メインフレーム系ホスト I/F 制御 LSI 115B がメインフレーム系情報処理装置 200 との間で送受信するデータの、キャッシュメモリ 130 における記憶位置を制御する。

【0042】

データ格納メモリ 117 は、メインフレーム系チャンネル制御部 110B がメインフレーム系情報処理装置 200 との間で送受信するデータを記憶するためのメモリである。例えば、メインフレーム系ホスト I/F 制御 LSI 115B がメインフレーム系情報処理装置 200 から書き込みデータを受信した場合には、その書き込みデータは、データ格納メモリ 117 の、メインフレーム系ホスト I/F 制御 LSI 115B により指示された記憶位置に一旦書き込まれる。そしてこの書き込みデータはデータ転送装置 114 によりキャッシュメモリ 130 に転送される。

【0043】

この際、前述したようにメインフレーム系情報処理装置 200 から送信される書き込みデータは所定のデータブロックに分割されて送信される。メインフレーム系情報処理装置 200 から送信される書き込みデータをキャッシュメモリ 130 へ転送する際には、これ

らのデータブロックをある程度ひとまとめにして転送した方が、データ転送の回数を少なくできるので、データ転送の効率が良い。どの程度のデータブロックをひとまとめにするのが良いかはメインフレーム系プロセッサ 119B が判断し、データ転送装置 114 に指示する。

【0044】

データ転送装置 114 は、メインフレーム系プロセッサ 119B からの指示に従い、データ格納メモリ 117 とキャッシュメモリ 130 との間のデータ転送を制御する。詳細は後述するが、データ転送装置 114 は、データ格納メモリ 117 へのデータの読み書きを行うメモリコントローラ 840 及びデータ格納メモリ 117 とキャッシュメモリ 130 との間のデータ転送を制御する一つあるいは複数の DMA (データ転送制御部) 800 を有する。

【0045】

ローカルメモリ 111 は、メインフレーム系プロセッサ 119B により実行されるプログラム等を記憶する。このプログラムは例えば管理端末 160 から内部 LAN 151 を通じて書き込まれるようにすることができる。

【0046】

データ転送装置 114 と接続されるコネクタ 116B がストレージ制御装置 100 側のコネクタと嵌合することにより、メインフレーム系チャネル制御部 110B はストレージ制御装置 100 の内部接続部 150 や管理端末 160 等と電氣的に接続される。

【0047】

=== ディスク制御部 ===

次にディスク制御部 140 の構成を示す図を図 6 に示す。

ディスク制御部 140 は、インタフェース部 141、メモリ 143、CPU 142、NVRAM (nonvolatile random-access memory) 144、コネクタ 145 を備え、これらが一体的なユニットとして形成されている。

【0048】

インタフェース部 141 は、内部接続部 150 を介してチャネル制御部 110 等との間で通信を行うための通信インタフェースや、ストレージ駆動装置 300 との間で通信を行うための通信インタフェースを備えている。

CPU 142 は、ディスク制御部 140 全体の制御を司ると共に、チャネル制御部 110 やストレージ駆動装置 300、管理端末 160 との間の通信を行う。CPU 142 によりメモリ 143 や NVRAM 144 に格納された各種プログラムが実行されることにより本実施の形態に係るディスク制御部 140 の機能が実現される。

NVRAM 144 は CPU 142 の制御を司るプログラムを格納する不揮発性メモリである。NVRAM 144 に記憶されるプログラムの内容は、管理端末 160 からの指示により書き込みや書き換えを行うことができる。

またディスク制御部 140 はコネクタ 145 を備えている。コネクタ 145 がストレージ制御装置 100 側のコネクタと嵌合することにより、ディスク制御部 140 はストレージ制御装置 100 の内部接続部 150 や、ストレージ駆動装置 300、管理端末 160 等と電氣的に接続される。

【0049】

=== 情報処理装置 ===

次に、本実施の形態に係る情報処理装置 200 の構成を示すブロック図を図 7 に示す。情報処理装置 200 には、上述したようにオープン系情報処理装置 200 とメインフレーム系情報処理装置 200 とがあるが、両者の構成は基本的に同一であるので、両者を区別する必要がない場合には単に情報処理装置 200 と記す。

情報処理装置 200 は、CPU 210、メモリ 220、ポート 230、記録媒体読取装置 240、入力装置 250、出力装置 260、記憶装置 280 を備える。

【0050】

CPU 210 は情報処理装置 200 の全体の制御を司るもので、メモリ 220 に記憶さ

れた各種の動作を行うためのコードから構成されるプログラム 220A を実行することにより本実施の形態に係る各種機能を実現する。例えば、上述した銀行の自動預金預け払いサービス等の情報処理サービスの提供は、CPU 210 がプログラム 220A を実行することにより行われる。また、CPU 210 がプログラム 220A を実行することにより、上述した管理端末 160 で動作する Web サーバにより提供される Web ページの表示や、物理ディスクドライブ 330 の構成の変更や、情報処理装置 200 とチャンネル制御部 110 との間の通信路であるパスの設定、論理ボリューム 310 の設定等を行うことができる。

記録媒体読取装置 240 は記録媒体 270 に記録されているプログラムやデータを読み取るための装置である。読み取られたプログラムやデータはメモリ 220 や記憶装置 280 に格納される。従って、例えば記録媒体 270 に記録されたプログラム 220A を、記録媒体読取装置 240 を用いて上記記録媒体 270 から読み取って、メモリ 220 や記憶装置 280 に記憶するようにすることができる。記録媒体 270 としてはフレキシブルディスクや CD-ROM、半導体メモリ等を用いることができる。

記録媒体読取装置 240 は情報処理装置 200 に内蔵されている形態とすることもできるし、外付されている形態とすることもできる。記憶装置 280 は、例えばハードディスク装置や半導体記憶装置等とすることができる。また記憶装置 280 は情報処理装置 200 に内蔵されるようにすることもできるし、外付けされるようにすることもできる。外付けされる場合には、通信ネットワークを介して接続される他の情報処理装置 200 の記憶装置 280 とすることもできる。また SAN 500 を介して接続されるストレージシステム 600 とすることもできる。

入力装置 250 は情報処理装置 200 を操作するオペレータ等による情報処理装置 200 へのデータ入力等のために用いられるユーザインタフェースである。入力装置 250 としては例えばキーボードやマウス等が用いられる。出力装置 260 は情報を外部に出力するためのユーザインタフェースである。出力装置 260 としては例えばディスプレイやプリンタ等が用いられる。ポート 230 は、SAN 500 を介してオープン系チャンネル制御部 110A と通信を行うための装置とすることができる。この場合、ポート 230 は例えば HBA (Host Bus Adapter) により構成されるようにすることができる。またポート 230 はメインフレーム系チャンネル制御部 110B と通信を行うための装置とすることもできる。またポート 230 は、LAN 等の通信ネットワークを通じて他の情報処理装置 200 や管理端末 160 と通信を行うための装置とすることもできる。この場合、例えばプログラム 220A をポート 230 を介して他の情報処理装置 200 から受信して、メモリ 220 や記憶装置 280 に記憶するようにすることもできる。

【0051】

===データ転送装置===

次に本実施の形態に係るデータ転送装置 114 について、図 8 を参照しながら説明する。

図 8 に示すように、本実施の形態に係るデータ転送装置 114 は、メモリコントローラ 840 と、DMA 0 乃至 3 (800) と、接続 I/F (InterFace) 回路 830 とを有する。

【0052】

メモリコントローラ 840 は、データ格納メモリ 117 へのデータの読み書きを行う。メモリコントローラ 840 は、メモリ制御部 841 と、ライトアドレスレジスタ 842 と、リードアドレスレジスタ 843 とを備える。ライトアドレスレジスタ 842 は、データ格納メモリ 117 にデータを書き込む際の書き込みアドレスが記憶される。リードアドレスレジスタ 843 は、データ格納メモリ 117 からデータを読み出す際の読み出しアドレスが記憶される。図 8 に示すように、ライトアドレスレジスタ 842 とリードアドレスレジスタ 843 とは、DMA 0 乃至 3 (800) のそれぞれ毎に設けられる。そのため、各 DMA 0 乃至 3 (800) は、それぞれが独立にメモリコントローラ 840 に対して、データ格納メモリ 117 へのデータの読み書きの指示を行うことができる。メモリ制御部 8

41は、ライトアドレスレジスタ842あるいはリードアドレスレジスタ843に記憶される、データ格納メモリ117のアドレスに対してデータの読み書きを行う。

ライトアドレスレジスタ842やリードアドレスレジスタ843への、データ格納メモリ117のアドレスの書き込みは、ホストI/F制御LSI115やDMA0乃至3(800)により行われる。

【0053】

DMA800は、データ格納メモリ117とキャッシュメモリ130との間のデータ転送を制御する。DMA800は、DMA制御部810、転送元アドレスレジスタ820、転送先アドレスレジスタ821、要求転送長レジスタ822、転送単位レジスタ823、FIFO(First In First Out)設定レジスタ824、転送方向レジスタ825、TOPアドレスレジスタ826、BOTTOMアドレスレジスタ827、最終データ格納アドレスレジスタ828、制御情報格納レジスタ829を有する。

【0054】

DMA制御部810は、DMA800全体の制御を司る。DMA制御部810は、ハードウェアのみで構成されるようにすることもできるし、ハードウェアとソフトウェアとの組み合わせにより構成されるようにすることもできる。

【0055】

転送元アドレスレジスタ820には、データ格納メモリ117の記憶アドレス又はキャッシュメモリ130の記憶アドレスが記憶される。データ格納メモリ117に記憶されるデータをキャッシュメモリ130に転送する場合には、転送元アドレスレジスタ820には、データ格納メモリ117の記憶アドレスが記憶される。キャッシュメモリ130に記憶されるデータをデータ格納メモリ117に転送する場合には、転送元アドレスレジスタ820には、キャッシュメモリ130の記憶アドレスが記憶される。転送元アドレスレジスタ820への転送元アドレスの書き込みは、プロセッサ119から送信されるデータ転送情報に基づいてDMA制御部810により行われる。データ転送情報については後述する。

【0056】

転送先アドレスレジスタ821には、データ格納メモリ117の記憶アドレス又はキャッシュメモリ130の記憶アドレスが記憶される。データ格納メモリ117に記憶されるデータをキャッシュメモリ130に転送する場合には、転送先アドレスレジスタ821には、キャッシュメモリ130の記憶アドレスが記憶される。キャッシュメモリ130に記憶されるデータをデータ格納メモリ117に転送する場合には、転送先アドレスレジスタ821には、データ格納メモリ117の記憶アドレスが記憶される。転送先アドレスレジスタ821への転送先アドレスの書き込みは、プロセッサ119から送信されるデータ転送情報に基づいてDMA制御部810により行われる。

【0057】

要求転送長レジスタ822には、チャンネル制御部110が情報処理装置200から受信したデータ入出力要求に記述されたデータ長が記憶される。例えばチャンネル制御部110が情報処理装置200から100kBのデータ書き込み要求を受信した場合には、要求転送長レジスタ822には100kBが記載される。なおこの場合、上述したように情報処理装置200からチャンネル制御部110への書き込みデータの送信は、複数のデータブロックに分割されて行われる。要求転送長レジスタ822へのデータ長の書き込みは、プロセッサ119から送信されるデータ転送情報に基づいてDMA制御部810により行われる。

【0058】

転送単位レジスタ823には、データ格納メモリ117とキャッシュメモリ130との間で転送されるデータのデータ長が記憶される。例えば上述のように、チャンネル制御部110が情報処理装置200から100kBのデータ書き込み要求を受信した場合に、転送単位レジスタ823に10kBが記憶されていると、DMA800は、情報処理装置200から送信される書き込みデータが、データ格納メモリ117に10kB記憶される毎に

、その 10 k B のデータのキャッシュメモリ 130 への転送を開始する。転送単位レジスタ 823 への転送単位の書き込みは、プロセッサ 119 から送信されるデータ転送情報に基づいて DMA 制御部 810 により行われる。

【0059】

F I F O 設定レジスタ 824 には、データ格納メモリ 117 を F I F O として使用して、情報処理装置 200 とキャッシュメモリ 130 との間でデータ転送を行うか否かを示す情報が記憶される。例えば、F I F O 設定レジスタ 824 に、データ格納メモリ 117 を F I F O として使用することを示す情報が書き込まれている場合には、上述したように、例えばチャネル制御部 110 が情報処理装置 200 から 100 k B のデータ書き込み要求を受信した場合に、転送単位レジスタ 823 に 10 k B が記憶されていると、DMA 800 は、情報処理装置 200 から 100 k B のデータが全てデータ格納メモリ 117 に書き込まれるのを待たずに、情報処理装置 200 からの書き込みデータがデータ格納メモリ 117 に 10 k B 記憶される毎に、その 10 k B のデータのキャッシュメモリ 130 への転送を開始する。つまり、いわゆるウォームホール (wormhole) 転送を行う。一方、F I F O 設定レジスタ 824 に、データ格納メモリ 117 を F I F O として使用しないことを示す情報が書き込まれている場合には、上述した例で言うと、チャネル制御部 110 が情報処理装置 200 から 100 k B のデータ書き込み要求を受信した場合に、DMA 800 は、情報処理装置 200 から 100 k B のデータが全てデータ格納メモリ 117 に書き込まれるのを待ってから、100 k B の書き込みデータのキャッシュメモリ 130 への転送を開始する。つまり、いわゆるストアアンドフォワード (store and forward) 転送を行う。F I F O 設定レジスタ 824 への書き込みは、プロセッサ 119 から送信されるデータ転送情報に基づいて DMA 制御部 810 により行われる。

【0060】

転送方向レジスタ 825 には、データ格納メモリ 117 とキャッシュメモリ 130 との間で行われるデータ転送が、データ格納メモリ 117 に記憶されるデータをキャッシュメモリ 130 に転送する方向に行われるのか、キャッシュメモリ 130 に記憶されるデータをデータ格納メモリ 117 に転送する方向に行われるのかを示す情報が記憶される。転送方向レジスタ 825 への転送方向の書き込みは、プロセッサ 119 から送信されるデータ転送情報に基づいて DMA 制御部 810 により行われる。

【0061】

T O P アドレスレジスタ 826 には、上記転送単位毎にデータ格納メモリ 117 とキャッシュメモリ 130 との間でデータ転送が行われる場合に、ホスト I / F 制御 L S I 115 又は DMA 800 によりデータ格納メモリ 117 に書き込まれる、上記転送単位の先頭のデータのデータ格納メモリ 117 における記憶アドレスが記憶される。そして転送単位のデータが転送される毎に値が更新される。T O P アドレスレジスタ 826 の値の更新は、転送単位のデータの転送が行われる毎に、DMA 制御部 810 により行われる。

【0062】

B O T T O M アドレスレジスタ 827 には、ホスト I / F 制御 L S I 115 や DMA 800 によりデータ格納メモリ 117 に書き込まれるデータのデータ格納メモリ 117 における記憶アドレスが記憶される。B O T T O M アドレスレジスタ 827 の値は、メモリコントローラ 840 のライトアドレスレジスタ 842 の値に従って、DMA 制御部 810 により更新される。つまり DMA 制御部 810 は、メモリコントローラ 840 のライトアドレスレジスタ 842 を監視しており、ライトアドレスレジスタ 842 の値が更新される毎に、更新後のライトアドレスレジスタ 842 の値を B O T T O M アドレスレジスタ 827 に書き込む。そして DMA 制御部 810 は、B O T T O M アドレスレジスタ 827 に記憶されているアドレスと T O P アドレスレジスタ 826 に記憶されているアドレスとの差に基づいて、データ格納メモリ 117 に記憶されているデータのデータ長を知ることができる。そしてそのデータ長が転送単位に達した場合には、DMA 制御部 810 はデータ転送を開始することができる。

【0063】

最終データ格納アドレスレジスタ 828 には、情報処理装置 200 から送信される全ての書き込みデータが、ホスト I/F 制御 LSI 115 によりデータ格納メモリ 117 に書き込まれた場合に、そのデータの最終書き込みアドレスを示す情報が書き込まれる。例えばチャネル制御部 110 が情報処理装置 200 から 100 k B のデータ書き込み要求を受信した場合に、ホスト I/F 制御 LSI 115 によりデータ格納メモリ 117 に書き込まれた 100 k B 目のデータの、データ格納メモリ 117 における記憶アドレスが、最終データ格納アドレスレジスタ 828 に書き込まれる。最終データ格納アドレスレジスタ 828 への最終書き込みアドレスを示す情報の書き込みは、プロセッサ 119 から送信されるデータ転送情報に基づいて DMA 制御部 810 により行われる。

【0064】

制御情報格納レジスタ 829 には、情報処理装置 200 から送信されたデータ書き込み要求に記述された書き込みデータ長よりも短いデータしか送信されない旨の情報を、ホスト I/F 制御 LSI 115 が情報処理装置 200 から受信した場合などに、その旨の制御情報が書き込まれる。制御情報格納レジスタ 829 への制御情報の書き込みは、プロセッサ 119 から送信されるデータ転送情報に基づいて DMA 制御部 810 により行われる。

【0065】

接続 I/F 回路 830 は、P C I (Peripheral Component Interconnect) バスを介してメモリコントローラ 840 と、DMA 800 と、ホスト I/F 制御 LSI 115 と、プロセッサ 119 等との間で通信を行うための通信インタフェース回路である。ただし、P C I 以外の他の規格に準拠している構成とすることもできる。その場合には、接続 I/F 回路 830 は、それぞれの規格に準拠する通信インタフェース回路とすることができる。

【0066】

===データ転送===

次に、本実施の形態に係るストレージ制御装置 100 が備えるチャネル制御部 110 におけるデータ転送の概要について図 9 を用いて説明する。

【0067】

本実施の形態に係るチャネル制御部 110 においては、図 9 に示すように、ホスト I/F 制御 LSI 115 が情報処理装置 200 からデータ書き込み要求を受信した場合には、書き込みデータは一旦データ格納メモリ 117 に記憶され、データ格納メモリ 117 から読み出されてキャッシュメモリ 130 に転送される。その際、前述したように F I F O 設定レジスタ 824 の設定により、全ての書き込みデータがデータ格納メモリ 117 に書き込まれる前に、データ格納メモリ 117 からキャッシュメモリ 130 へのデータ転送を開始するようにすることができる。つまり、本実施の形態に係るストレージ制御装置 100 が備えるチャネル制御部 110 においては、データ格納メモリ 117 を F I F O として使用することができる。

【0068】

ここで本実施の形態においては、データ格納メモリ 117 はデータ転送装置 114 とは別の回路として構成されるため、必要に応じた記憶容量のデータ格納メモリ 117 を用いることができる。これにより、必要に応じた記憶容量の F I F O を構成することができる。つまり、データ格納メモリ 117 がデータ転送装置 114 と一体に構成される場合や、データ格納メモリ 117 がデータ転送装置 114 に内蔵される場合には、データ格納メモリ 117 の記憶容量は、一つの L S I に集約可能なトランジスタ数の限界により、制約を受けるが、本実施の形態においてはそのような制約は受けないようにすることが可能となる。これにより、データ格納メモリ 117 を、複数の大容量の F I F O として用いることができるようになる。図 9 にはデータ転送装置 114 に DMA 800 が一つしか記載されていないが、図 8 に示したように、データ転送装置 114 には複数の DMA 800 を設けるようにすることが可能となる。そして各 DMA 800 がデータ格納メモリ 117 を大容量の F I F O として用いることが可能となるのである。さらには、メモリコントローラ 840 に設けられるライトアドレスレジスタ 842 やリードアドレスレジスタ 843 を、各 DMA 800 に対して複数備えるようにすることにより、各 DMA 800 に対して複数の

FIFOをデータ格納メモリ117上に構成するようにすることもできるのである。なお、図8には、データ転送装置114は4つのDMA800を備えるように記載されているが、もちろんそれ以上の数のDMA800を備えるようにすることも可能である。

【0069】

これにより、本実施の形態においては、ストレージ制御装置100は、情報処理装置200から送信されるデータ入出力要求に対する処理をより高速に行うことが可能となる。つまりデータの読み書きをより高速化することが可能となる。またより多くの情報処理装置200からより大量のデータ入出力要求を受信して、データの読み書きを行うことが可能となる。

【0070】

ホストI/F制御LSI115が情報処理装置200からデータ書き込み要求を受信した場合の処理の流れを示すフローチャートを図10に示す。また書き込みデータの流れを示すデータフローを図11及び図12に示す。なお、図10に示すフローチャートは、オープン系チャンネル制御部110における処理の流れを示す。メインフレーム系チャンネル制御部110における処理の流れについては後述する。また、図11と図12はいずれも、ホストI/F制御LSI115が2種類のデータ書き込み要求を受信し、それぞれの書き込みデータがDMA0(800)及びDMA1(800)により、データ格納メモリ117を経由してキャッシュメモリ130へ転送されるまでの様子を示すものである。図11、図12において、第1の書き込みデータはデータブロック毎に網掛け模様で示され、第2の書き込みデータはデータブロック毎に白抜き模様で示されている。なお、図12においては第1の書き込みデータはデータブロック毎に(A1)、(A2)、(A3)、(A4)で示され、第2の書き込みデータはデータブロック毎に(B1)、(B2)で示されている。また図11及び図12において“W”は「Write」を表し、“R”は「Read」を表す。情報処理装置200から送信される書き込みデータは、上述したように所定のデータブロックに分割されて送信されるが、図11及び図12には、各データブロックがデータ格納メモリ117で所定の転送単位毎にひとまとめにされてキャッシュメモリ130に転送される様子が示されている。

【0071】

図10において、まずホストI/F制御LSI115が情報処理装置200からデータ書き込み要求を受信すると(S1000)、ホストI/F制御LSI115はデータ書き込み要求をプロセッサ(MP)119に送信する(S1001)。プロセッサ119がデータ書き込み要求を受信すると(S1002)、プロセッサ119は書き込みデータのデータ格納メモリ117における記憶位置を示す情報を含む記憶位置情報をホストI/F制御LSI115に送信する(S1003)。そうすると、ホストI/F制御LSI115は、データ格納メモリ117へのデータ転送を開始する(S1004)。具体的には、ホストI/F制御LSI115が、書き込みデータのデータ格納メモリ117における記憶位置を示す情報と書き込みデータとのメモリコントローラ840への送信を開始し、メモリコントローラ117が、ライトアドレスレジスタ842に書き込まれた書き込みデータのデータ格納メモリ117における記憶位置を示す情報に従って、書き込みデータのデータ格納メモリ117への書き込みを開始する(S1006)。

なお、記憶位置情報にはDMA800を指定する情報が含まれる様にし、ホストI/F制御LSI115が指定されたDMA800に対して、書き込みデータのデータ格納メモリ117における記憶位置を示す情報と書き込みデータとの送信を開始し、DMA800が書き込みデータのデータ格納メモリ117における記憶位置を示す情報と書き込みデータとのメモリコントローラ840への送信を開始するようにすることもできる。

【0072】

一方プロセッサ119は、DMA800に対してデータ転送情報を送信する(S1005)。ここで送信されるデータ転送情報には、書き込みデータのデータ格納メモリ117における記憶位置を示す情報及び書き込みデータのキャッシュメモリ130における記憶位置を示す情報を含む。さらには、書き込みデータのデータ格納メモリ117における最終書

き込みアドレスを示す情報を含むようにすることもできる。

具体的には、例えば、上述したように、転送元アドレスレジスタ 820 に書き込まれる情報、転送先アドレスレジスタ 821 に書き込まれる情報、要求転送長レジスタ 822 に書き込まれる情報、転送単位レジスタ 823 に書き込まれる情報、FIFO 設定レジスタ 824 に書き込まれる情報、転送方向レジスタ 825 に書き込まれる情報、最終データ格納アドレスレジスタ 828 に書き込まれる情報、制御情報格納レジスタ 829 に書き込まれる情報を含むようにすることができる。

【0073】

そして DMA 800 が、データ転送情報に基づいて、データ格納メモリ 117 に書き込まれた書き込みデータのリード要求をメモリコントローラ 840 に送信する。具体的には DMA 800 がメモリコントローラ 840 のリードアドレスレジスタ 843 に、書き込みデータの記憶アドレスを書き込んで書き込みデータの読み出しを指示する。

【0074】

そして、メモリコントローラ 840 が、書き込みデータのデータ格納メモリ 117 からの読み出しを開始し (S1007)、DMA 800 が、データ格納メモリ 117 から読みだされる書き込みデータのキャッシュメモリ 130 への転送を開始する。

【0075】

ホスト I/F 制御 LSI 115 及び DMA 800 は、それぞれ、データ転送が終了すると、プロセッサ 119 に転送終了報告を送信する (S1008、S1009)。これによりキャッシュメモリ 130 へのデータ転送が終了する (S1010)。

【0076】

次に、ホスト I/F 制御 LSI 115 が情報処理装置 200 からデータ読み出し要求を受信した場合の処理の流れを示すフローチャートを図 13 に示す。また読み出しデータの流れを示すデータフローを図 14 及び図 15 に示す。なお、図 13 に示すフローチャートは、オープン系チャンネル制御部 110 における処理の流れを示す。メインフレーム系チャンネル制御部 110 における処理の流れについては後述する。

また、図 14 と図 15 はいずれも、ホスト I/F 制御 LSI 115 が 2 種類のデータ読み出し要求を受信し、それぞれの読み出しデータが DMA 0 (800) 及び DMA 1 (800) によりキャッシュメモリ 130 から読み出され、データ格納メモリ 117 を経由してホスト I/F 制御 LSI 115 に転送されるまでの様子を示すものである。図 14、図 15 において、第 1 の読み出しデータはデータブロック毎に網掛け模様で示され、第 2 の読み出しデータはデータブロック毎に白抜き模様で示されている。

なお、図 15 においては第 1 の読み出しデータはデータブロック毎に (A1)、(A2)、(A3)、(A4) で示され、第 2 の読み出しデータはデータブロック毎に (B1)、(B2) で示されている。また図 14 及び図 15 において "W" は「Write」を表し、"R" は「Read」を表す。情報処理装置 200 に送信される読み出しデータは、上述したように所定のデータブロックに分割されて送信されるが、図 14 及び図 15 には、各読み出しデータがデータ格納メモリ 117 で所定のデータブロックに分割されてホスト I/F 制御 LSI 115 に転送される様子が示されている。

【0077】

図 13 において、まずホスト I/F 制御 LSI 115 が情報処理装置 200 からデータ読み出し要求を受信すると (S2000)、ホスト I/F 制御 LSI 115 はデータ読み出し要求をプロセッサ (MP) 119 に送信する (S2001)。プロセッサ 119 がデータ読み出し要求を受信すると (S2002)、プロセッサ 119 が、データ転送情報を DMA 800 に送信する (S2003)。そうすると、DMA 800 が、データ転送情報に基づいて、キャッシュメモリ 130 からの読み出しデータの読み出しを開始し、DMA 800 が、読み出しデータのデータ格納メモリ 117 における記憶位置を示す情報と読み出しデータとのメモリコントローラ 840 への送信を開始し、メモリコントローラ 840 が、読み出しデータのデータ格納メモリ 117 への書き込みを開始する (S2004)。

【0078】

一方、プロセッサ 119 は、読み出しデータのデータ格納メモリ 117 における記憶位置を示す情報を含む記憶位置情報をホスト I/F 制御 LSI 115 に送信する (S2005)。そうすると、ホスト I/F 制御 LSI 115 は、記憶位置情報に基づいて、データ格納メモリ 117 に書き込まれた読み出しデータのリード要求をメモリコントローラ 840 へ送信し、メモリコントローラ 840 が、読み出しデータのデータ格納メモリ 117 からの読み出しを開始する (S2007)。そしてホスト I/F 制御 LSI 115 が、データ格納メモリ 117 から読みだされる読み出しデータを情報処理装置 200 に送信する。

【0079】

ホスト I/F 制御 LSI 115 及び DMA 800 は、それぞれ、データ転送が終了すると、プロセッサ 119 に転送終了報告を送信する (S2008、S2009)。これにより情報処理装置 200 へのデータ転送が終了する (S2010)。

【0080】

ここで、前述したように、本実施の形態に係るストレージ制御装置 100 においては、各 DMA 800 に対して複数の FIFO をデータ格納メモリ 117 上に構成することができる。その様子を図 16 及び図 18 に示す。図 16 には、メモリコントローラ 840 に設けられるライトアドレスレジスタ 842 やリードアドレスレジスタ 843 を、各 DMA 800 に対して 1 つずつ備える場合に、各 DMA 800 に対して複数の FIFO をデータ格納メモリ 117 上に構成する場合を示す。図 18 には、メモリコントローラ 840 に設けられるライトアドレスレジスタ 842 やリードアドレスレジスタ 843 を、各 DMA 800 に対して複数備える場合に、各 DMA 800 に対して複数の FIFO をデータ格納メモリ 117 上に構成する場合を示す。

【0081】

図 16 に示す構成の場合は、ライトアドレスレジスタ 842 やリードアドレスレジスタ 843 を各 DMA 800 に対して 1 つしか備えていないので、ホスト I/F 制御 LSI 115 が複数のデータ入出力要求を情報処理装置 200 から受信した場合に、一つ目のデータ入出力要求に対応するデータのデータ格納メモリ 117 への読み書きを行っている間は、2 つ目のデータ入出力要求に対応するデータのデータ格納メモリ 117 への読み書きを行うことができない。つまり 2 つめのデータ入出力要求に対応するデータのデータ格納メモリ 117 への読み書きは、1 つめのデータ入出力要求に対応するデータのデータ格納メモリ 117 への読み書きが終了してからでなければ行うことができない。しかしながら、各 DMA 800 に対して複数の FIFO をデータ格納メモリ 117 上に構成するようにすることで、データ格納メモリ 117 を制御しているプロセッサ 119 は、各データ入出力要求のそれぞれに対して FIFO をデータ格納メモリ 117 に設定しておくことができるので、ホスト I/F 制御 LSI 115 に対して、データ格納メモリ 117 へのデータ書き込み指示、あるいはデータ格納メモリ 117 からのデータ読み出し指示を先に行っておくことが可能となる。これにより、情報処理装置 200 から先に送信されたデータ入出力要求に対するデータの読み書き処理が終了していない間に、次のデータ入出力要求が情報処理装置 200 から送信された場合であっても、プロセッサ 119 は、各データ入出力要求に対する処理を行っておくことが可能となる。これにより、データ入出力性能の向上を図ることが可能となる。

【0082】

ホスト I/F 制御 LSI 115 が情報処理装置 200 から 2 つのデータ書き込み要求を受信した場合の処理の流れを示すフローチャートを図 17 に示す。

まず、ホスト I/F 制御 LSI 115 が情報処理装置 200 から一つ目のデータ書き込み要求を受信すると (S3000)、ホスト I/F 制御 LSI 115 は一つ目のデータ書き込み要求をプロセッサ (MP) 119 に送信する (S3001)。そしてプロセッサ 119 が一つ目のデータ書き込み要求を受信する (S3002)。次に、ホスト I/F 制御 LSI 115 が情報処理装置 200 から二つ目のデータ書き込み要求を受信すると (S3003)、ホスト I/F 制御 LSI 115 は二つ目のデータ書き込み要求をプロセッサ (MP) 119 に送信する (S3004)。そしてプロセッサ 119 が二つ目のデータ書き込み要求を受信する (S

3005)。そうすると、プロセッサ 119 は一つ目の書き込みデータのデータ格納メモリ 117 における記憶位置を示す情報を含む記憶位置情報と二つ目の書き込みデータのデータ格納メモリ 117 における記憶位置を示す情報を含む記憶位置情報とをホスト I/F 制御 LSI 115 に送信する (S3006)。そうすると、ホスト I/F 制御 LSI 115 は、まず一つ目の書き込みデータのデータ格納メモリ 117 へのデータ転送を開始する (S3007)。具体的には、ホスト I/F 制御 LSI 115 が、一つ目の書き込みデータのデータ格納メモリ 117 における記憶位置を示す情報と一つ目の書き込みデータとのメモリコントローラ 840 への送信を開始し、メモリコントローラ 117 が、ライトアドレスレジスタ 842 に書き込まれた一つ目の書き込みデータのデータ格納メモリ 117 における記憶位置を示す情報に従って、一つ目の書き込みデータのデータ格納メモリ 117 への書き込みを開始する (S3009)。

【0083】

一方プロセッサ 119 は、DMA 800 に対して一つ目のデータ書き込み要求に対するデータ転送情報を送信する (S3008)。

そして DMA 800 が、一つ目のデータ転送情報に基づいて、データ格納メモリ 117 に書き込まれた一つ目の書き込みデータのリード要求をメモリコントローラ 840 に送信する。具体的には DMA 800 がメモリコントローラ 840 のリードアドレスレジスタ 843 に、一つ目の書き込みデータの記憶アドレスを書き込んで一つ目の書き込みデータの読み出しを指示する。

【0084】

そして、メモリコントローラ 840 が、一つ目の書き込みデータのデータ格納メモリ 117 からの読み出しを開始し (S3012)、DMA 800 が、データ格納メモリ 117 から読みだされる一つ目の書き込みデータのキャッシュメモリ 130 への転送を開始する。

ホスト I/F 制御 LSI 115 及び DMA 800 は、それぞれ、データ転送が終了すると、プロセッサ 119 に転送終了報告を送信する (S3010、S3013)。これによりキャッシュメモリ 130 への一つ目の書き込みデータのデータ転送が終了する (S3014)。

【0085】

一方、ホスト I/F 制御 LSI 115 は、一つ目の書き込みデータのデータ格納メモリ 117 へのデータ転送が終了すると (S3010)、二つ目の書き込みデータのデータ格納メモリ 117 へのデータ転送を開始する (S3011)。具体的には、ホスト I/F 制御 LSI 115 が、二つ目の書き込みデータのデータ格納メモリ 117 における記憶位置を示す情報と二つ目の書き込みデータとのメモリコントローラ 840 への送信を開始し、メモリコントローラ 117 が、ライトアドレスレジスタ 842 に書き込まれた二つ目の書き込みデータのデータ格納メモリ 117 における記憶位置を示す情報に従って、二つ目の書き込みデータのデータ格納メモリ 117 への書き込みを開始する (S3016)。

【0086】

一方プロセッサ 119 は、DMA 800 に対して二つ目のデータ書き込み要求に対するデータ転送情報を送信する (S3015)。

そして DMA 800 が、二つ目のデータ転送情報に基づいて、データ格納メモリ 117 に書き込まれた二つ目の書き込みデータのリード要求をメモリコントローラ 840 に送信する。具体的には DMA 800 がメモリコントローラ 840 のリードアドレスレジスタ 843 に、二つ目の書き込みデータの記憶アドレスを書き込んで二つ目の書き込みデータの読み出しを指示する。

【0087】

そして、メモリコントローラ 840 が、二つ目の書き込みデータのデータ格納メモリ 117 からの読み出しを開始し (S3017)、DMA 800 が、データ格納メモリ 117 から読みだされる二つ目の書き込みデータのキャッシュメモリ 130 への転送を開始する。

ホスト I/F 制御 LSI 115 及び DMA 800 は、それぞれ、データ転送が終了すると、プロセッサ 119 に転送終了報告を送信する (S3018、S3019)。これによりキャッシュメモリ 130 への二つ目の書き込みデータのデータ転送が終了する (S3020)。

【0088】

一方、図18に示す構成の場合は、ライトアドレスレジスタ842やリードアドレスレジスタ843を各DMA800に対して複数備えているので、ホストI/F制御LSI115が複数のデータ入出力要求を情報処理装置200から受信した場合であっても、一つ目のデータ入出力要求に対応するデータのデータ格納メモリ117への読み書きを行っている間に、二つ目のデータ入出力要求に対応するデータのデータ格納メモリ117への読み書きを行うことができる。これにより、情報処理装置200から先に送信されたデータ入出力要求に対するデータの読み書き処理が終了していない間に、次のデータ入出力要求が情報処理装置200から送信された場合であっても、各データ入出力処理を並行して実行することが可能となるので、データ入出力性能をさらに向上させることが可能となる。

【0089】

なお、図8に示した本実施の形態に係るデータ転送装置114のように、各DMA800には一つのライトアドレスレジスタ842と一つのリードアドレスレジスタ843とが備えられるがDMA800が複数備えられる構成は、例えば、DMA800は一つしか備えられていないが複数のライトアドレスレジスタ842と複数のリードアドレスレジスタ843とが備えられる構成と比較して、いずれも、ホストI/F制御LSI115が複数のデータ入出力要求を情報処理装置200から受信した場合であっても、一つ目のデータ入出力要求に対応するデータのデータ格納メモリ117への読み書きを行っている間に、二つ目のデータ入出力要求に対応するデータのデータ格納メモリ117への読み書きを行うことができ、データ入出力性能をより向上させることが可能となる点においては、同等である。

【0090】

つまりまず、ライトアドレスレジスタ842やリードアドレスレジスタ843を各DMA800に対して複数備えている構成において、ホストI/F制御LSI115が情報処理装置200から2つのデータ書き込み要求を受信した場合には、DMA800が、第1のライトアドレスレジスタ842に、一つ目のデータ入出力要求に対応する書き込みデータのデータ格納メモリ117における書き込みアドレスを指定することにより、データ格納メモリ117への読み書きを行っている間に、第2のライトアドレスレジスタ842に、二つ目のデータ入出力要求に対応する書き込みデータのデータ格納メモリ117における書き込みアドレスを指定することにより、データ格納メモリ117への読み書きを行うことができる。

【0091】

一方、図8に示した本実施の形態に係るデータ転送装置114のように、各DMA800には一つのライトアドレスレジスタ842と一つのリードアドレスレジスタ843とが備えられるがDMA800が複数備えられる構成において、ホストI/F制御LSI115が情報処理装置200から2つのデータ書き込み要求を受信した場合には、第1のDMA800が、ライトアドレスレジスタ842に、一つ目のデータ入出力要求に対応する書き込みデータのデータ格納メモリ117における書き込みアドレスを指定することにより、データ格納メモリ117への読み書きを行っている間に、第2のDMA800が、ライトアドレスレジスタ842に、二つ目のデータ入出力要求に対応する書き込みデータのデータ格納メモリ117における書き込みアドレスを指定することにより、データ格納メモリ117への読み書きを行うことができる。

【0092】

ところで本実施の形態においては、上述したように、データ格納メモリ117はデータ転送装置114とは別の回路として構成される。そのため、チャネル制御部110の回路基板118を構成する部品点数が増えることになる。一般的に部品点数が増えると故障発生率が上昇する。しかし、ストレージ制御装置100はデータを記憶する記憶ボリューム310を備えるストレージ駆動装置300を制御する装置であるため、ストレージ制御装置100には極めて高い信頼性が要求される。このことから、本実施の形態に係るストレージ制御装置100においては、ホストI/F制御LSI115とキャッシュメモリ13

0 との間でデータ転送を行う際に、図 1 9 乃至図 2 1 に示すように、転送されるデータにチェックコード（保証コード）を付加することにより、信頼性の向上を図っている。

【0093】

すなわち、図 1 9 に示すように、ホスト I/F 制御 L S I 1 1 5 からキャッシュメモリ 1 3 0 へデータが転送される場合には、ホスト I/F 制御 L S I 1 1 5 が、書き込みデータの送信の際に、所定量の書き込みデータ毎に、所定量の書き込みデータを所定のアルゴリズムに従って変換して算出した変換データと所定量の書き込みデータの誤り有無を示す誤り有無データとを含むチェックコードを付加する。そして DMA 8 0 0 が、書き込みデータをデータ格納メモリ 1 1 7 からキャッシュメモリ 1 3 0 へ転送する際に、所定量の書き込みデータ毎に、所定量の書き込みデータを所定のアルゴリズムに従って変換して算出したデータと所定量の書き込みデータに付加されたチェックコードの変換データとを比較し、比較の結果に応じて、書き込みデータのキャッシュメモリ 1 3 0 への転送を中止する。

【0094】

ここで、所定量の書き込みデータとは例えば 5 1 2 B（バイト）とすることができる。もちろん、その他のデータ長とすることができる。また所定のアルゴリズムとは、例えば CRC（Cyclic Redundancy Check）とすることができる。その他、パリティチェックやハミングコードチェック等とすることもできる。また誤り有無データとは、所定量の書き込みデータに誤りがあるか否かを示すデータであり、例えば、誤りがある場合には「0」とし、誤りがない場合には「1」とすることができる。もちろん、その他のデータとすることもできる。また、比較の結果に応じて書き込みデータのキャッシュメモリ 1 3 0 への転送を中止するとは、例えば、所定量の書き込みデータを所定のアルゴリズムに従って変換して算出したデータと、所定量の書き込みデータに付加されたチェックコードの変換データとが一致しない場合には、書き込みデータのキャッシュメモリ 1 3 0 への転送を中止するようにすることができる、という意味である。もちろん、アルゴリズムによっては、例えば、所定量の書き込みデータを所定のアルゴリズムに従って変換して算出したデータと、所定量の書き込みデータに付加されたチェックコードの変換データとが一致する場合には、書き込みデータのキャッシュメモリ 1 3 0 への転送を中止するようにすることもできる。

【0095】

所定量のデータにチェックコードが付加された状態のデータを示す一例を図 2 0 に示す。データ部 7 1 0 は、情報処理装置 2 0 0 との間で送受信される書き込みデータあるいは読み出しデータの所定量のデータである。チェックコード 7 2 0 は、タグ 7 2 1 と変換データ 7 2 2 とを備える。変換データ 7 2 2 は、所定量の書き込みデータ 7 1 0 を所定のアルゴリズムに従って変換して算出した変換データである。タグ 7 2 1 は、所定量の書き込みデータの誤り有無を示す誤り有無データである。

【0096】

また、図 2 1 に示すように、キャッシュメモリ 1 3 0 からホスト I/F 制御 L S I 1 1 5 へデータが転送される場合には、DMA 8 0 0 が、キャッシュメモリ 1 3 0 からデータ格納メモリ 1 1 7 へ読み出しデータを送信する際に、所定量の読み出しデータ毎に、所定量の読み出しデータを所定のアルゴリズムに従って変換して算出した変換データと所定量の読み出しデータの誤り有無を示す誤り有無データとを含むチェックコードを付加する。そして、DMA 8 0 0 が、データ格納メモリ 1 1 7 から所定量の読み出しデータを読み出す毎に、所定量の読み出しデータを所定のアルゴリズムに従って変換して算出したデータと所定量の読み出しデータに付加されたチェックコードの変換データとを比較し、比較の結果に応じて、チェックコードに、読み出しデータに誤りがあることを示す所定のデータを書き込む。そして、ホスト I/F 制御 L S I 1 1 5 は、所定量の読み出しデータ毎に付加されるチェックコードに、読み出しデータに誤りがあることを示す所定のデータが書き込まれている場合には、読み出しデータの情報処理装置 2 0 0 への送信を中止する。

【0097】

ここで、DMA 800が、データ格納メモリ117から所定量の読み出しデータを読み出す毎に、所定量の読み出しデータを所定のアルゴリズムに従って変換して算出したデータと所定量の読み出しデータに付加されたチェックコードの変換データとを比較し、比較の結果に応じてチェックコードに書き込まれる、読み出しデータに誤りがあることを示す所定のデータは、上述の誤り有無データにおける、誤り有りを示すデータであり、例えば「0」とすることができる。

【0098】

このようにすることにより、ホストI/F制御LSI115は、DMA800から送信された読み出しデータに誤りがあることを検知することができる。これにより、ホストI/F制御LSI115は、誤りのあるデータを情報処理装置200へ送信してしまうことを防止することが可能となる。

【0099】

さらに、以下に記す効果も奏することが可能となる。すなわち、ホストI/F制御LSI115とDMA800との間は、上述したようにPCIバスで接続されている。PCIバスの規格においては、ホストI/F制御LSI115が一旦データのリード要求を出すと、そのリード要求を取り下げることができない。つまりPCIバス規格においては、一旦リード要求が出されると、そのリード要求に対応するデータを受信するか、PCIバスがリセットされるまで、ホストI/F制御LSI115は、そのリード要求に対応するデータが送信されてくるのをいつまでも待ち続ける。従って、DMA800は、データ格納メモリ117から読み出した読み出しデータに誤りがあることを検知した場合にも、何らかのデータをホストI/F制御LSI115に送信しなくてはならない。さも無くば、ホストI/F制御LSI115は、データが送られてくるのを永久に待ち続けるからである。しかしながら、データ格納メモリ117から読み出した読み出しデータをホストI/F制御LSI115に送信してしまうと、ホストI/F制御LSI115により、誤りのあるデータが情報処理装置200に送信されてしまうことになる。その場合、情報処理装置200はその読み出しデータに誤りがあることを検知できないまま、プログラム220Aの実行を行ってしまう。一方で、データ格納メモリ117から読み出した、誤りのある読み出しデータをホストI/F制御LSI115に送信しないようにするために、PCIバスをリセットするようにすると、そのPCIバスを使用して送信中の全ての読み出しデータや書き込みデータがリセットされてしまうことになる。

そこで、本実施の形態においては、上述のように、DMA800が、データ格納メモリ117から所定量の読み出しデータを読み出す毎に、所定量の読み出しデータを所定のアルゴリズムに従って変換して算出したデータと所定量の読み出しデータに付加されたチェックコードの変換データとを比較し、比較の結果に応じて、チェックコードに、読み出しデータに誤りがあることを示す所定のデータを書き込むようにする。そうすれば、リード要求を既に出したホストI/F制御LSI115が読み出しデータが送信されてくるのを永久に待ち続けることを回避可能となると共に、ホストI/F制御LSI115は、所定量の読み出しデータ毎に付加されるチェックコードに、読み出しデータに誤りがあることを示す所定のデータが書き込まれていることを検知することにより、誤りのある読み出しデータを情報処理装置200へ送信することを中止することができるのである。

【0100】

次に、本実施の形態に係るストレージ制御装置100が備えるメインフレーム系チャンネル制御部110におけるデータ転送の概要について図22乃至図26を用いて説明する。上述のように、メインフレームコンピュータに接続されたストレージ制御装置100及びストレージ駆動装置300は、メインフレームコンピュータからのデータ入出力要求に対して、短時間にデータ入出力処理を行うことが求められる。そのため、メインフレーム系チャンネル制御部110におけるデータ転送の処理は、オープン系チャンネル制御部におけるデータ転送の処理と異なっている。

【0101】

まずホストI/F制御LSI115が情報処理装置200からデータ書き込み要求を受

信した場合の処理の流れを示すフローチャートを図23及び図24に示す。図23は、情報処理装置200から送信される書き込みデータを全てデータ格納メモリ117に書き込んでから、キャッシュメモリ130に送信する場合のフローチャートである。図24は、情報処理装置200から送信される書き込みデータをデータ格納メモリ117に書き込みつつ、全ての書き込みデータがデータ格納メモリ117に書き込まれる前に、キャッシュメモリ130に送信を開始する場合のフローチャートである。

【0102】

まず図23において、ホストI/F制御LSI115が情報処理装置200からデータ書き込み要求を受信すると(S4000)、ホストI/F制御LSI115が、書き込みデータのデータ格納メモリ117における記憶位置を示す情報と書き込みデータとのメモリコントローラ840への送信を開始する(S4001)。メインフレーム系チャンネル制御部110においては、データ格納メモリ117におけるデータの記憶位置は、ホストI/F制御LSI115が制御しているからである。これにより、ホストI/F制御LSI115が情報処理装置200からデータ書き込み要求を受信した際に、プロセッサ119との間での通信が不要となるので、その分、書き込みデータのデータ格納メモリ117への書き込みを早く開始することができる。

一方で、ホストI/F制御LSI115は、書き込みデータのデータ格納メモリ117における記憶位置を示す情報を含む記憶位置情報をプロセッサ119に送信する(S4001)。このときプロセッサ119が他の情報処理を行っている等の理由で、ホストI/F制御LSI115とプロセッサ119との間でなかなか通信が成立しない場合があるが、そのような場合であっても、メモリコントローラ117が、ライトアドレスレジスタ842に書き込まれた書き込みデータのデータ格納メモリ117における記憶位置を示す情報に従って、書き込みデータのデータ格納メモリ117への書き込みを開始する(S4002、S4003)。ホストI/F制御LSI115とプロセッサ119との間で通信が成立しないまま、全ての書き込みデータのデータ格納メモリ117への書き込みが終了した場合には(S4004)、ホストI/F制御LSI115は、プロセッサ119に転送終了報告を送信する(S4005)。この転送終了報告には、書き込みデータのデータ格納メモリ117における記憶位置を示す情報と、書き込みデータのデータ格納メモリ117における最終書き込みアドレスを示す情報を含む記憶位置情報が含まれる。

【0103】

プロセッサ119が記憶位置情報を受信すると(S4006)、プロセッサ119は、データ転送情報をDMA800に送信する(S4007)。

そしてDMA800が、データ転送情報に基づいて、データ格納メモリ117に書き込まれた書き込みデータのリード要求をメモリコントローラ840に送信する。具体的にはDMA800がメモリコントローラ840のリードアドレスレジスタ843に、書き込みデータの記憶アドレスを書き込んで書き込みデータの読み出しを指示する。

そして、メモリコントローラ840が、書き込みデータのデータ格納メモリ117からの読み出しを開始し(S4008)、DMA800が、データ格納メモリ117から読みだされる書き込みデータのキャッシュメモリ130への転送を開始する。DMA800は、データ転送が終了すると、プロセッサ119に転送終了報告を送信する(S4009)。これによりキャッシュメモリ130へのデータ転送が終了する(S4010)。

【0104】

次に図24において、ホストI/F制御LSI115が情報処理装置200からデータ書き込み要求を受信すると(S5000)、ホストI/F制御LSI115が、書き込みデータのデータ格納メモリ117における記憶位置を示す情報と書き込みデータとのメモリコントローラ840への送信を開始する(S5001)。そしてホストI/F制御LSI115は、書き込みデータのデータ格納メモリ117における記憶位置を示す情報を含む記憶位置情報をプロセッサ119に送信する(S5001)。このときホストI/F制御LSI115とプロセッサ119との間で通信が成立した場合には、プロセッサ119は、書き込みデータのデータ格納メモリ117における記憶位置を示す情報を含む記憶位置情報を受信

する (S5002)。

【0105】

一方で、メモリコントローラ 117 は、ライトアドレスレジスタ 842 に書き込まれた書き込みデータのデータ格納メモリ 117 における記憶位置を示す情報に従って、書き込みデータのデータ格納メモリ 117 への書き込みを開始する (S5003、S5004)。

【0106】

プロセッサ 119 は、ホスト I/F 制御 LSI 115 に対して、FIFO でデータ転送を行うことを通知すると共に (S5005)、データ転送情報を DMA 800 に送信する (S5006、S5008)。S5006 に記されているデータ格納アドレスを FIFO 空間に設定するのは、FIFO 設定レジスタ 824 にデータ格納メモリ 117 を FIFO として使用する旨の情報が書き込まれるようにデータ転送情報を設定することにより行うことができる。DMA 800 は、TOP アドレスレジスタ 826、及び BOTTOM アドレスレジスタ 827 により、データ格納量の監視を行い (S5007)、データ格納量が転送単位になったら、データ格納メモリ 117 からのリードを開始する (S5009)。データ格納メモリ 117 からのリードは、具体的には、DMA 800 が、データ転送情報に基づいて、データ格納メモリ 117 に書き込まれた書き込みデータのリード要求をメモリコントローラ 840 に送信し、メモリコントローラ 840 が、書き込みデータのデータ格納メモリ 117 からの読み出しを開始することにより行われる。

【0107】

ホスト I/F 制御 LSI 115 からデータ格納メモリ 117 への全ての書き込みデータの書き込みが終了した場合には (S5010)、ホスト I/F 制御 LSI 115 は、書き込みデータのデータ格納メモリ 117 における最終書き込みアドレスを示す情報と、制御情報とを含む記憶位置情報をプロセッサ 119 に送信する (S5011)。そしてプロセッサ 119 は、書き込みデータのデータ格納メモリ 117 における最終書き込みアドレスを示す情報と、制御情報とを含むデータ転送情報を DMA 800 に送信する。そして DMA 800 は、最終書き込みアドレスを示す情報を最終データ格納アドレスレジスタ 828 に書き込み、制御情報を制御情報格納レジスタ 829 に書き込む。なお、書き込みデータのデータ格納メモリ 117 における最終書き込みアドレスを示す情報と、制御情報とを含む記憶位置情報は、図 24 に示すようにホスト I/F 制御 LSI 115 から DMA 800 に対して直接送信されるようにすることもできる。DMA 800 は、最終データ格納アドレスレジスタ 828 と、制御情報格納レジスタ 829 に基づいて、データ格納メモリ 117 からキャッシュメモリ 130 へのデータ転送が終了したことを認識すると (S5012)、プロセッサ 119 に転送終了報告を送信する (S5013)。これによりキャッシュメモリ 130 へのデータ転送が終了する (S5014)。

【0108】

次にホスト I/F 制御 LSI 115 が情報処理装置 200 からデータ読み出し要求を受信した場合の処理の流れを示すフローチャートを図 25 に示す。

【0109】

まずホスト I/F 制御 LSI 115 が情報処理装置 200 からデータ読み出し要求を受信すると (S6000)、ホスト I/F 制御 LSI 115 は、読み出しデータのデータ格納メモリ 117 における記憶位置を示す情報を含む記憶位置情報をプロセッサ 119 に送信する (S6001)。プロセッサ 119 は、記憶位置情報を受信すると (S6002)、データ転送情報を DMA 800 に送信する (S6003、S6005)。S6003 に記されているデータ格納アドレスを FIFO 空間に設定するのは、FIFO 設定レジスタ 824 にデータ格納メモリ 117 を FIFO として使用する旨の情報が書き込まれるようにデータ転送情報を設定することにより行うことができる。DMA 800 は、TOP アドレスレジスタ 826、BOTTOM アドレスレジスタ 827 により、データ格納量の監視を行い (S6004)、データ転送情報に基づいて、キャッシュメモリ 130 からの読み出しデータの読み出しを開始する。そして DMA 800 は、読み出しデータのデータ格納メモリ 117 における記憶位置を示す情報と読み出しデータとのメモリコントローラ 840 への送信を開始する。そしてメモ

リコントローラ 840 が、読み出しデータのデータ格納メモリ 117 への書き込みを開始する (S6006)。

【0110】

一方、プロセッサ 119 が、データ格納メモリ 117 へ読み出しデータの書き込みが開始されたことをホスト I/F 制御 LSI 115 に通知すると (S6007)、ホスト I/F 制御 LSI 115 は、データ格納メモリ 117 に書き込まれた読み出しデータのリード要求をメモリコントローラ 840 へ送信し、メモリコントローラ 840 が読み出しデータのデータ格納メモリ 117 からの読み出しを開始する (S6009)。そしてホスト I/F 制御 LSI 115 が、データ格納メモリ 117 から読みだされる読み出しデータを情報処理装置 200 に送信する。

【0111】

ホスト I/F 制御 LSI 115 及び DMA 800 は、それぞれ、データ転送が終了すると、プロセッサ 119 に転送終了報告を送信する (S6010、S6012)。これにより情報処理装置 200 へのデータ転送が終了する (S6011)。

また本実施の形態に係るメインフレーム系チャネル制御部 110 においては、ホスト I/F 制御 LSI 115 とキャッシュメモリ 130 との間でデータ転送を行う際に、転送されるデータにチェックコード (保証コード) を付加することにより、信頼性の向上を図っている。

【0112】

ホスト I/F 制御 LSI 115 からキャッシュメモリ 130 へデータが転送される場合には、ホスト I/F 制御 LSI 115 が、書き込みデータの送信の際に、所定量の書き込みデータ毎に、所定量の書き込みデータを所定のアルゴリズムに従って変換して算出した変換データと所定量の書き込みデータの誤り有無を示す誤り有無データとを含むチェックコードを付加する。そして DMA 800 が、書き込みデータをデータ格納メモリ 117 からキャッシュメモリ 130 へ転送する際に、所定量の書き込みデータ毎に、所定量の書き込みデータを所定のアルゴリズムに従って変換して算出したデータと所定量の書き込みデータに付加されたチェックコードの変換データとを比較し、比較の結果に応じて、書き込みデータのキャッシュメモリ 130 への転送を中止する。

【0113】

また、キャッシュメモリ 130 からホスト I/F 制御 LSI 115 へデータが転送される場合には、DMA 800 が、キャッシュメモリ 130 からデータ格納メモリ 117 へ読み出しデータを送信する際に、所定量の読み出しデータ毎に、所定量の読み出しデータを所定のアルゴリズムに従って変換して算出した変換データと所定量の読み出しデータの誤り有無を示す誤り有無データとを含むチェックコードを付加する。そして、DMA 800 が、データ格納メモリ 117 から所定量の読み出しデータを読み出す毎に、所定量の読み出しデータを所定のアルゴリズムに従って変換して算出したデータと所定量の読み出しデータに付加されたチェックコードの変換データとを比較し、比較の結果に応じて、チェックコードに、読み出しデータに誤りがあることを示す所定のデータを書き込む。そして、ホスト I/F 制御 LSI 115 は、所定量の読み出しデータ毎に付加されるチェックコードに、読み出しデータに誤りがあることを示す所定のデータが書き込まれている場合には、読み出しデータの情報処理装置 200 への送信を中止する。

【0114】

このようにすることにより、ホスト I/F 制御 LSI 115 は、DMA 800 から送信された読み出しデータに誤りがあることを検知することができる。これにより、ホスト I/F 制御 LSI 115 は、誤りのあるデータを情報処理装置 200 へ送信してしまうことを防止することが可能となる。

【0115】

上述したように、メインフレーム系チャネル制御部 110 の場合には、プロセッサ 119 が知らない間に、ホスト I/F 制御 LSI 115 からデータ格納メモリ 117 への全書き込みデータの書き込みが終了してしまう場合や、情報処理装置 200 からの書き込みデ

ータの送信が、情報処理装置 200 から送信されたデータ書き込み要求に記述された書き込みデータ長に至らないまま終了してしまう場合がある。このような場合にその旨の情報を DMA 800 に知らせないと、DMA 800 は、いつまでもホスト I/F 制御 LSI 115 からの書き込みデータの続きが送信されるのを待ち続けることになる。これを回避するために、図 26 に示すように、本実施の形態に係るデータ転送装置 114 は、最終データ格納アドレスレジスタ 828、及び制御情報格納レジスタ 829 を備えている。最終データ格納アドレスレジスタ 828 には、情報処理装置 200 から送信される全ての書き込みデータが、ホスト I/F 制御 LSI 115 によりデータ格納メモリ 117 に書き込まれた場合に、そのデータの最終書き込みアドレスを示す情報が書き込まれる。また制御情報格納レジスタ 829 には、情報処理装置 200 から送信されたデータ書き込み要求に記述された書き込みデータ長よりも短いデータしか送信されない旨の情報を、ホスト I/F 制御 LSI 115 が情報処理装置 200 から受信した場合などに、その旨の制御情報が書き込まれる。

【0116】

以上説明したように、本実施の形態に係るストレージ制御装置 100 においては、オープン系チャネル制御部 110 と、メインフレーム系チャネル制御部 110 とを備えることにより、情報処理装置 200 に対して、データ入出力性能の異なる 2 つのストレージ制御装置 100 を提供することが可能となる。つまり、オープン系の情報処理装置 200 とメインフレーム系の情報処理装置 200 とでは、前者が比較的成本を重視する傾向があり、後者が比較的性能を重視する傾向がある点で、ストレージシステム 600 に求める特性に相違があるが、両者のいずれの要求にも柔軟に対応可能なストレージシステム 600 を提供することが可能となる。つまり、情報処理装置 100 が要求するストレージ制御装置 100 のデータ入出力性能に応じて、適切なデータ入出力性能を情報処理装置 200 に提供することが可能となる。

【0117】

また本実施の形態に係るストレージ制御装置 100 が備えるチャネル制御部 110 においては、データ格納メモリ 117 を FIFO として使用することができる。ここでデータ格納メモリ 117 はデータ転送装置 114 とは別の回路として構成される。これにより、必要に応じた大きさの記憶容量の FIFO を一つ又は複数必要に応じて構成することができるようになる。

【0118】

これにより、本実施の形態におけるストレージ制御装置 100 においては、情報処理装置 200 から送信されるデータ入出力要求に対する処理をより高速に行うことが可能となる。つまりデータの読み書きをより高速化することが可能となる。またより多くの情報処理装置 200 からより大量のデータ入出力要求を受信して、データの読み書きを行うことが可能となる。

【0119】

さらに本実施の形態に係るストレージ制御装置 100 においては、ホスト I/F 制御 LSI 115 とキャッシュメモリ 130 との間でデータ転送を行う際に、転送されるデータにチェックコードを付加するようにすることにより、信頼性の向上を図ることも可能となる。

【0120】

以上発明を実施するための最良の形態について説明したが、上記実施の形態は本発明の理解を容易にするためのものであり、本発明を限定して解釈するためのものではない。本発明はその趣旨を逸脱することなく変更、改良され得ると共に、本発明にはその等価物も含まれる。

【図面の簡単な説明】

【0121】

【図 1】 本実施の形態に係るストレージシステムの全体構成を示すブロック図である。

- 【図 2】 本実施の形態に係るストレージシステムの外観構成を示す図である。
 【図 3】 本実施の形態に係るストレージ制御装置の外観構成を示す図である。
 【図 4】 本実施の形態に係る管理端末の構成を示すブロック図である。
 【図 5】 本実施の形態に係るチャンネル制御部を示すブロック図である。
 【図 6】 本実施の形態に係るディスク制御部を示すブロック図である。
 【図 7】 本実施の形態に係る情報処理装置を示すブロック図である。
 【図 8】 本実施の形態に係るデータ転送装置を示す図である。
 【図 9】 本実施の形態に係るデータ転送を説明するための図である。
 【図 10】 本実施の形態に係るデータ書き込み処理の流れを示すフローチャートである。
 【図 11】 本実施の形態に係る書き込みデータの流れを示すデータフローである。
 【図 12】 本実施の形態に係る書き込みデータの流れを示すデータフローである。
 【図 13】 本実施の形態に係るデータ読み出し処理の流れを示すフローチャートである。
 【図 14】 本実施の形態に係る読み出しデータの流れを示すデータフローである。
 【図 15】 本実施の形態に係る読み出しデータの流れを示すデータフローである。
 【図 16】 他の実施形態に係る F I F O を説明するための図である。
 【図 17】 本実施の形態に係る複数のデータ書き込み処理の流れを示すフローチャートである。
 【図 18】 本実施の形態に係る F I F O を説明するための図である。
 【図 19】 本実施の形態に係るチェックコードを説明するための図である。
 【図 20】 本実施の形態に係るチェックコードを説明するための図である。
 【図 21】 本実施の形態に係るチェックコードを説明するための図である。
 【図 22】 本実施の形態に係るデータ転送を説明するための図である。
 【図 23】 本実施の形態に係るデータ書き込み処理の流れを示すフローチャートである。
 【図 24】 本実施の形態に係るデータ書き込み処理の流れを示すフローチャートである。
 【図 25】 本実施の形態に係るデータ読み出し処理の流れを示すフローチャートである。
 【図 26】 本実施の形態に係るデータ転送を説明するための図である。
 【図 27】 本実施の形態に係るチャンネル制御部を示すブロック図である。

【符号の説明】

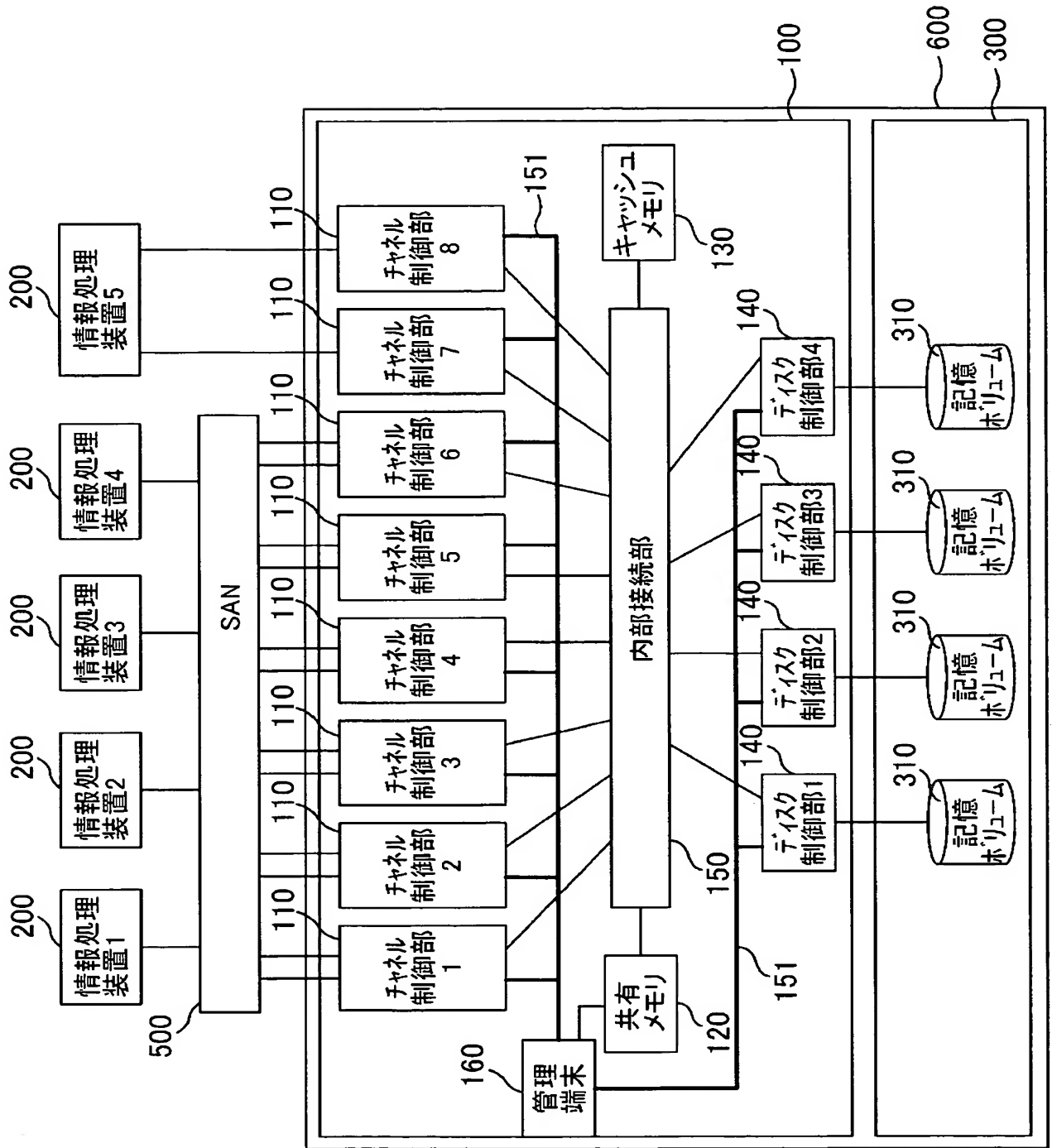
【 0 1 2 2 】

1 0 0	ストレージ制御装置	1 1 0	チャンネル制御部
1 1 4	データ転送装置	1 1 5	ホスト I / F 制御 L S I
1 1 7	データ格納メモリ	1 1 9	プロセッサ
1 2 0	共有メモリ	1 3 0	キャッシュメモリ
1 4 0	ディスク制御部	1 5 0	内部接続部
1 6 0	管理端末	2 0 0	情報処理装置
3 0 0	ストレージ駆動装置	5 0 0	S A N
6 0 0	ストレージシステム	7 2 0	チェックコード
7 2 1	タグ	7 2 2	変換データ
8 0 0	DMA	8 1 0	DMA 制御部
8 2 0	転送元アドレスレジスタ	8 2 1	転送先アドレスレジスタ
8 2 2	要求転送長レジスタ	8 2 3	転送単位レジスタ
8 2 4	F I F O 設定レジスタ	8 2 5	転送方向レジスタ
8 2 6	T O P アドレスレジスタ	8 2 7	B O T T O M アドレスレジスタ
8 2 8	最終データ格納アドレスレジスタ	8 2 9	制御情報格納レジスタ
8 4 0	メモリコントローラ	8 4 1	メモリ制御部

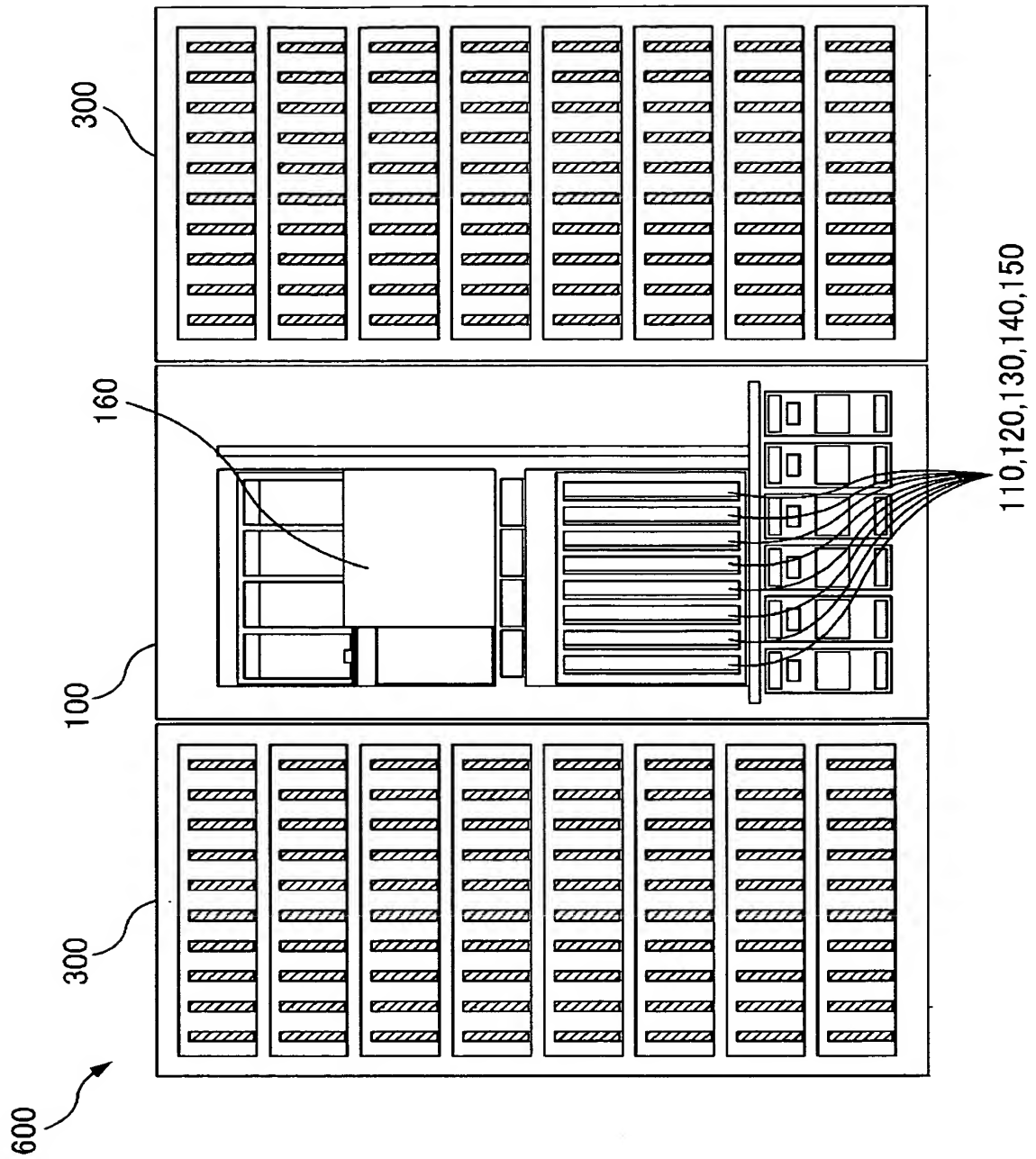
8 4 2 ライトアドレスレジスタ

8 4 3 リードアドレスレジスタ

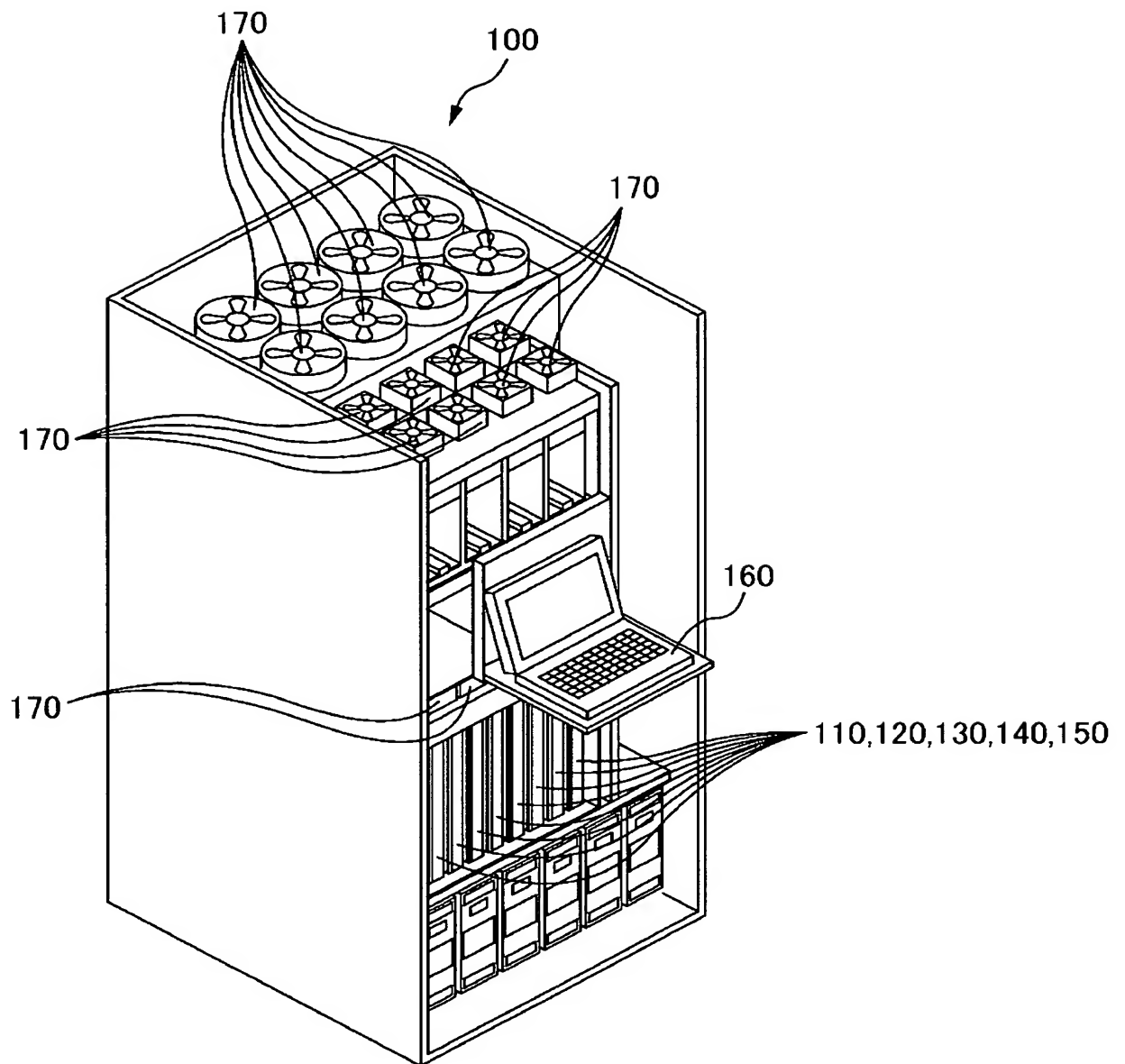
【書類名】 図面
【図1】



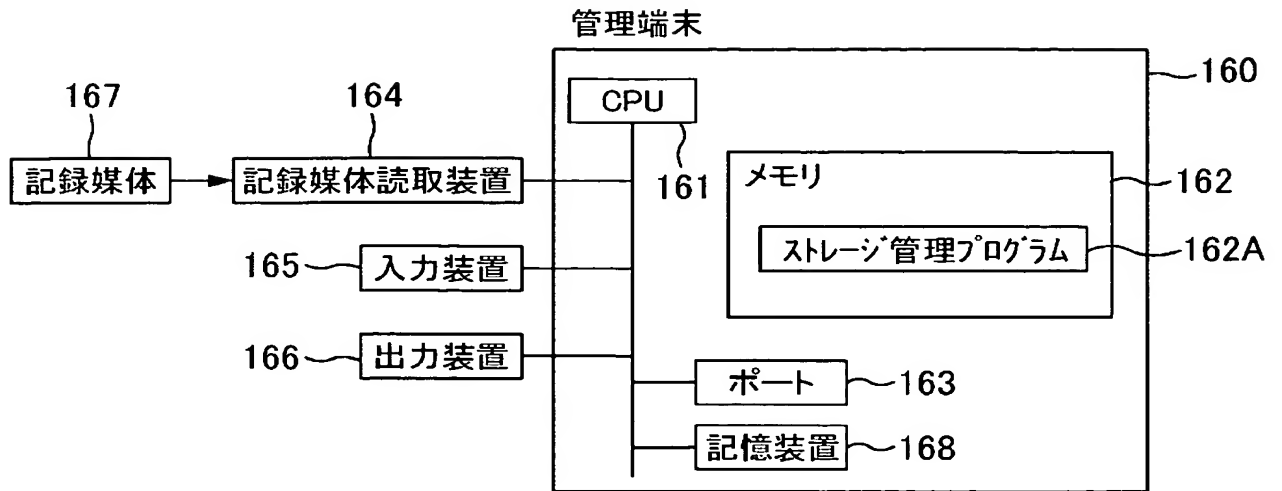
【図 2】



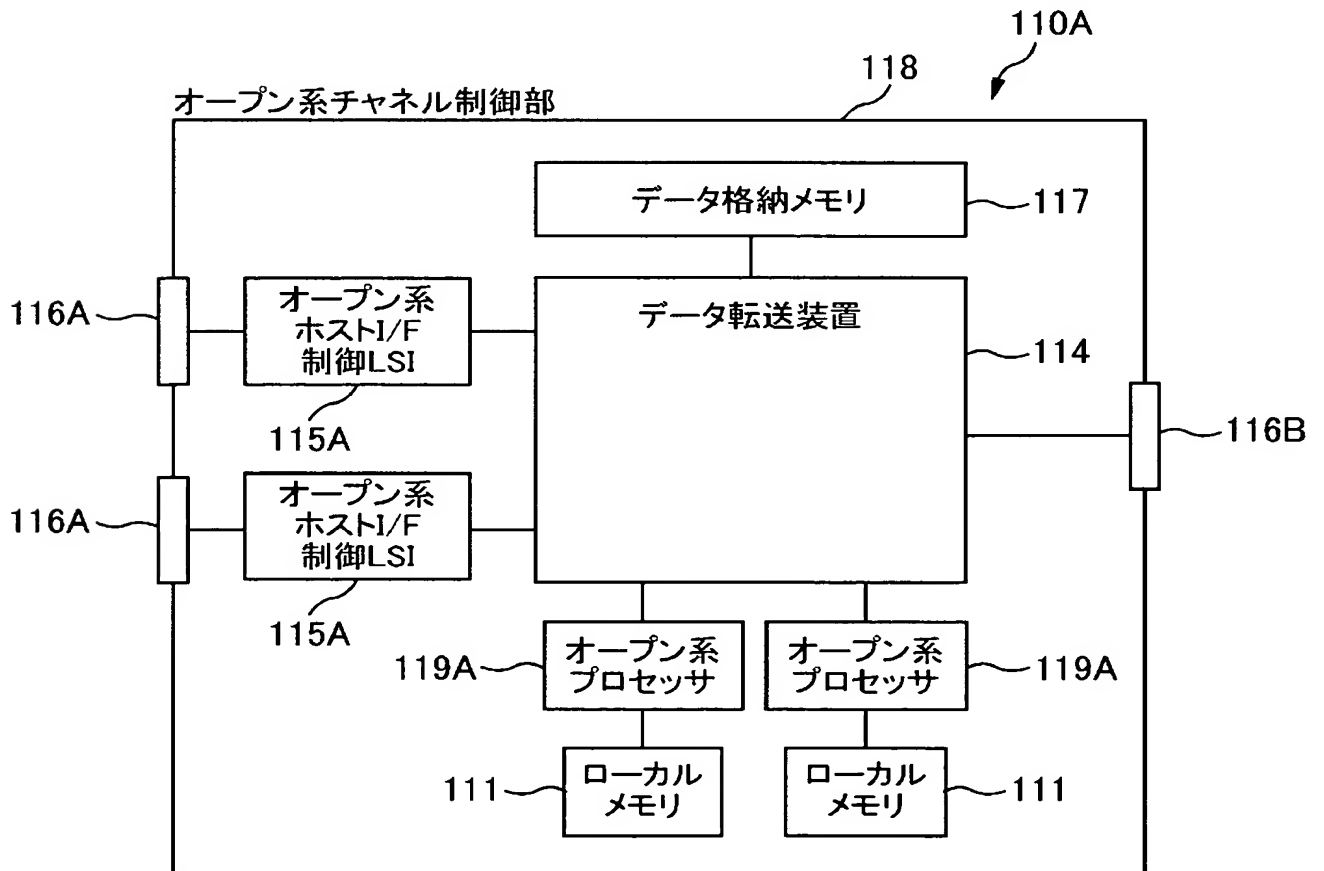
【図 3】



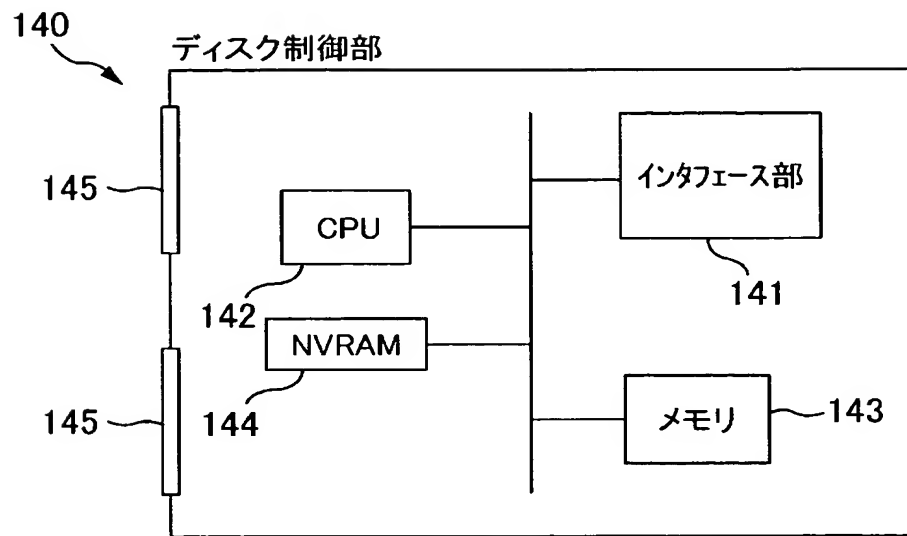
【図 4】



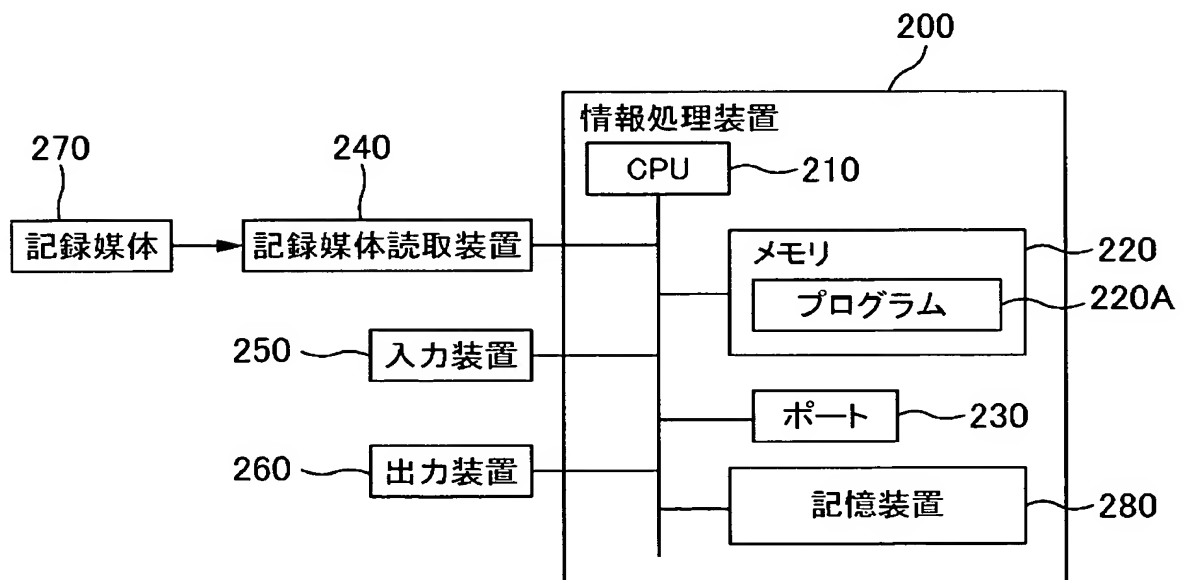
【図 5】



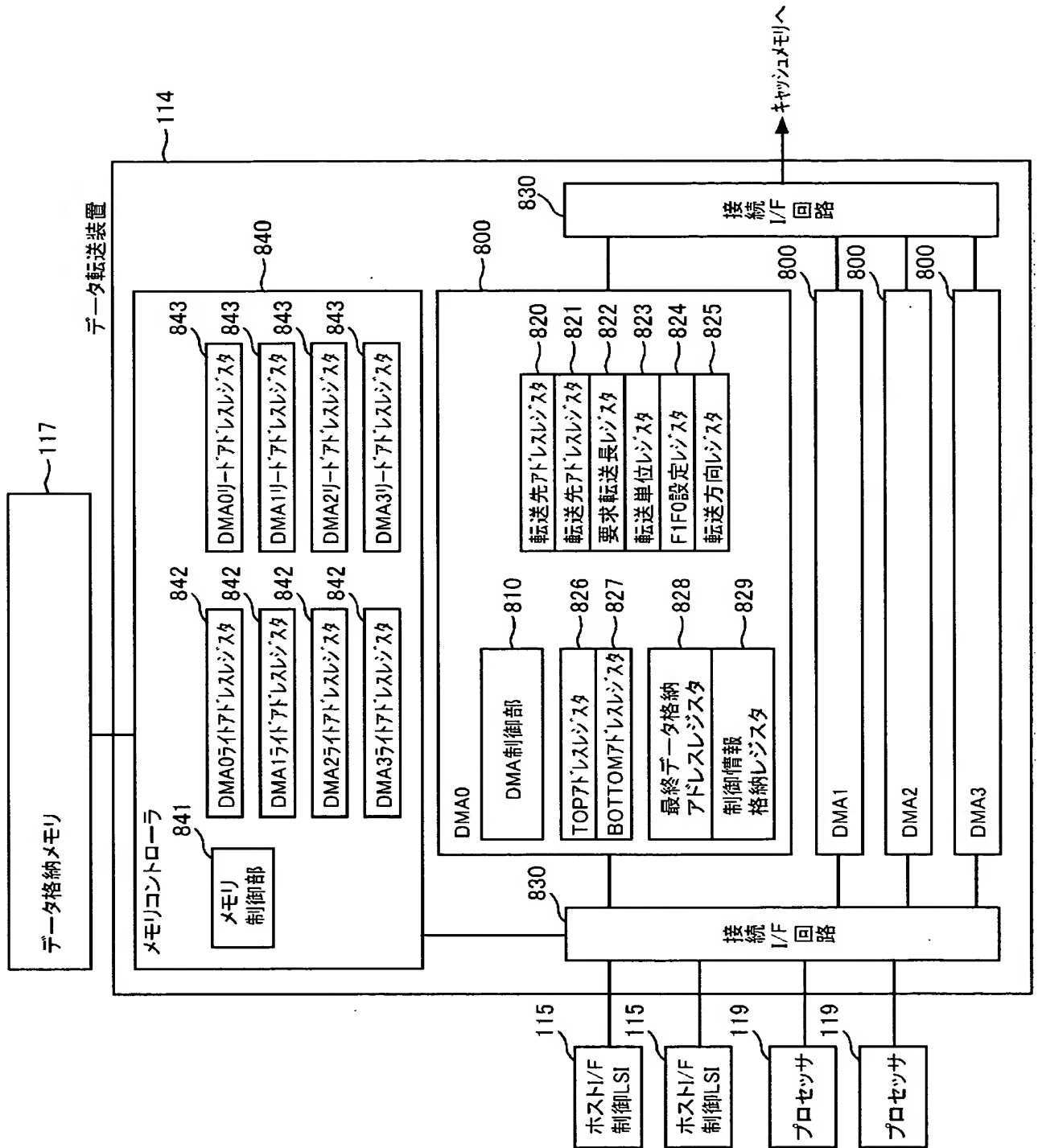
【図 6】



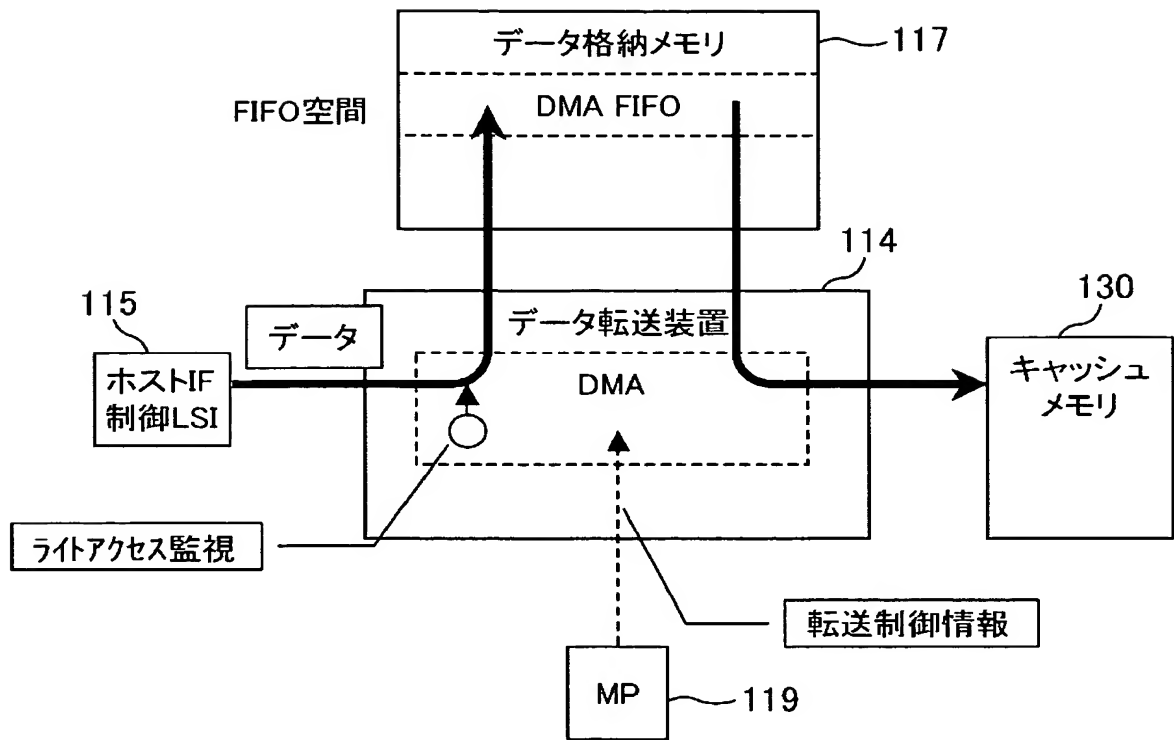
【図 7】



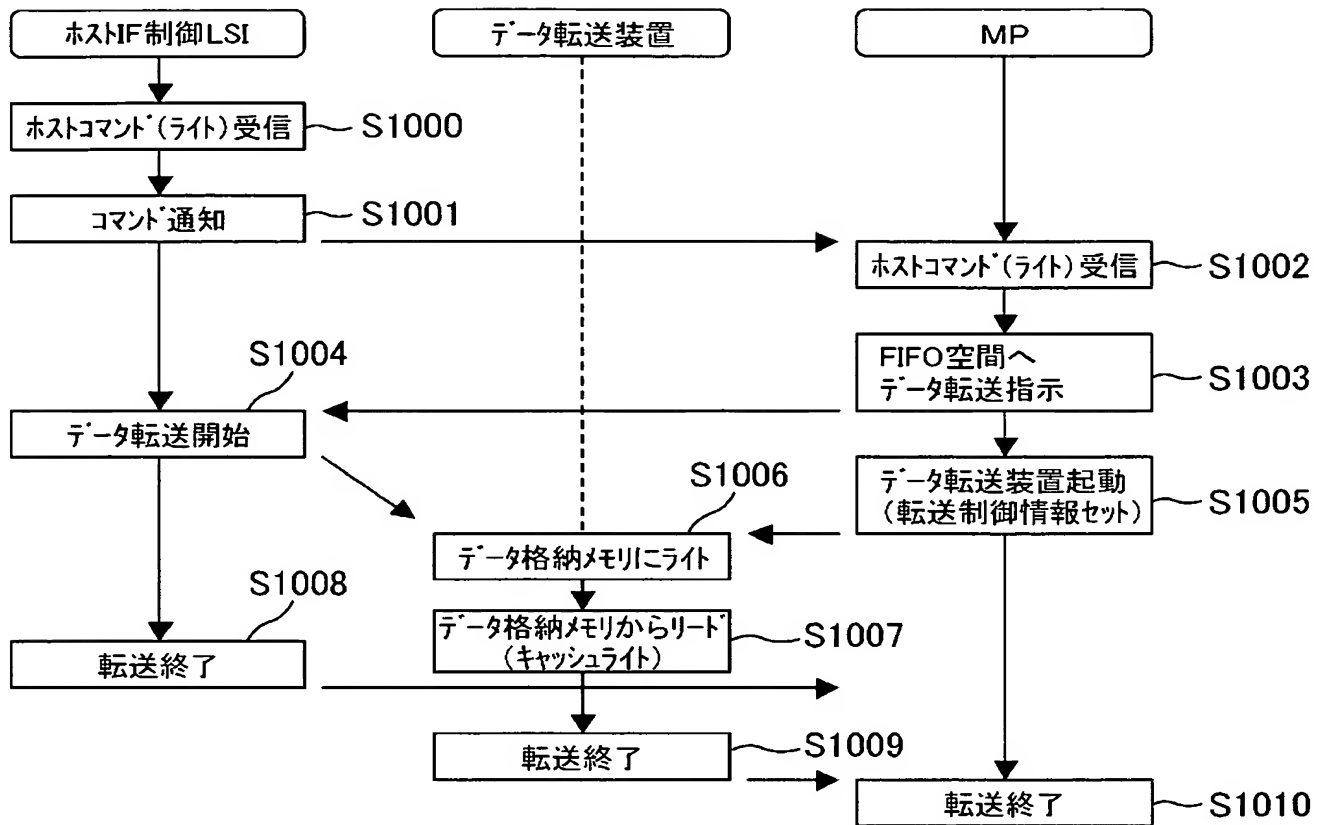
【図 8】



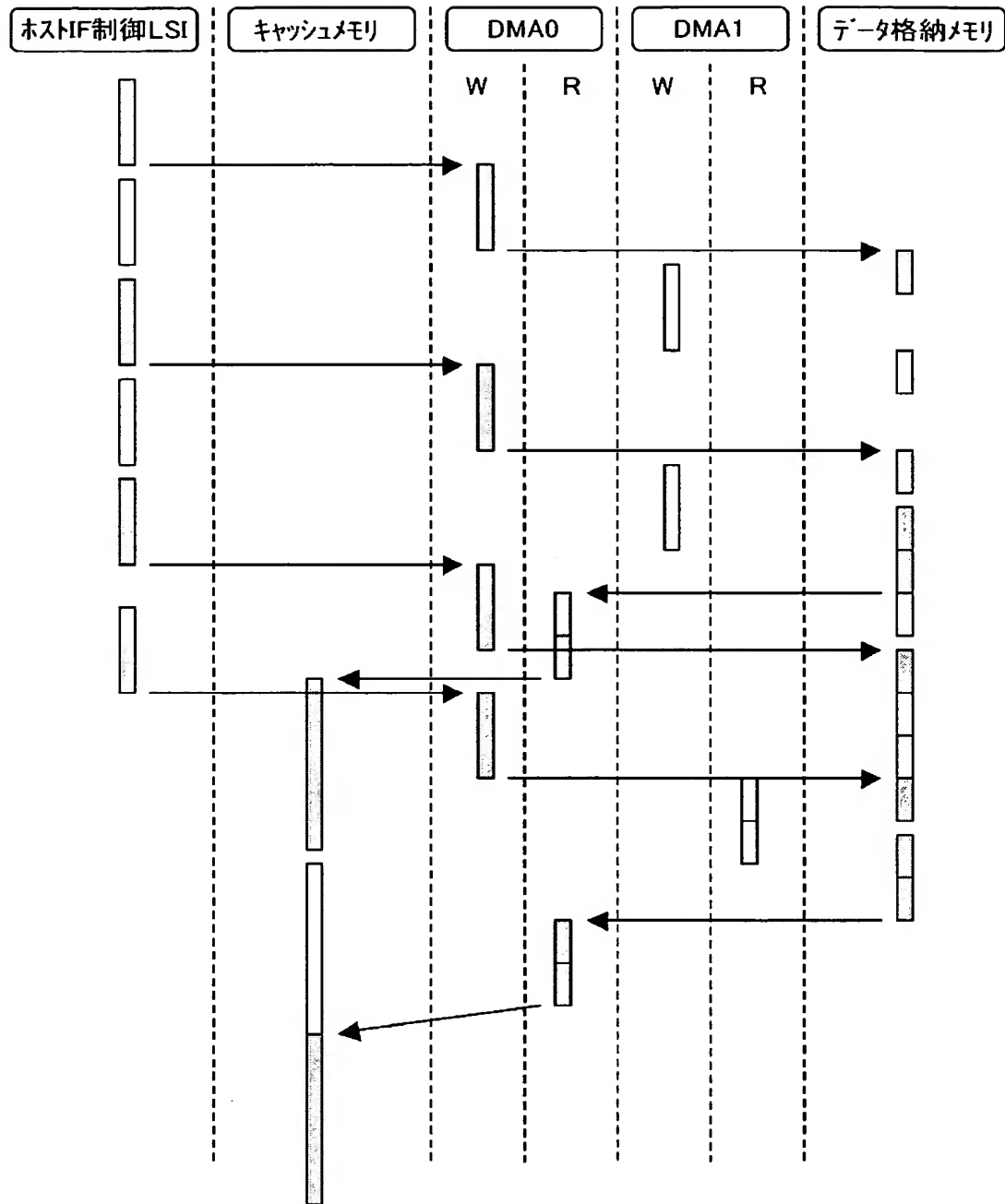
【図 9】



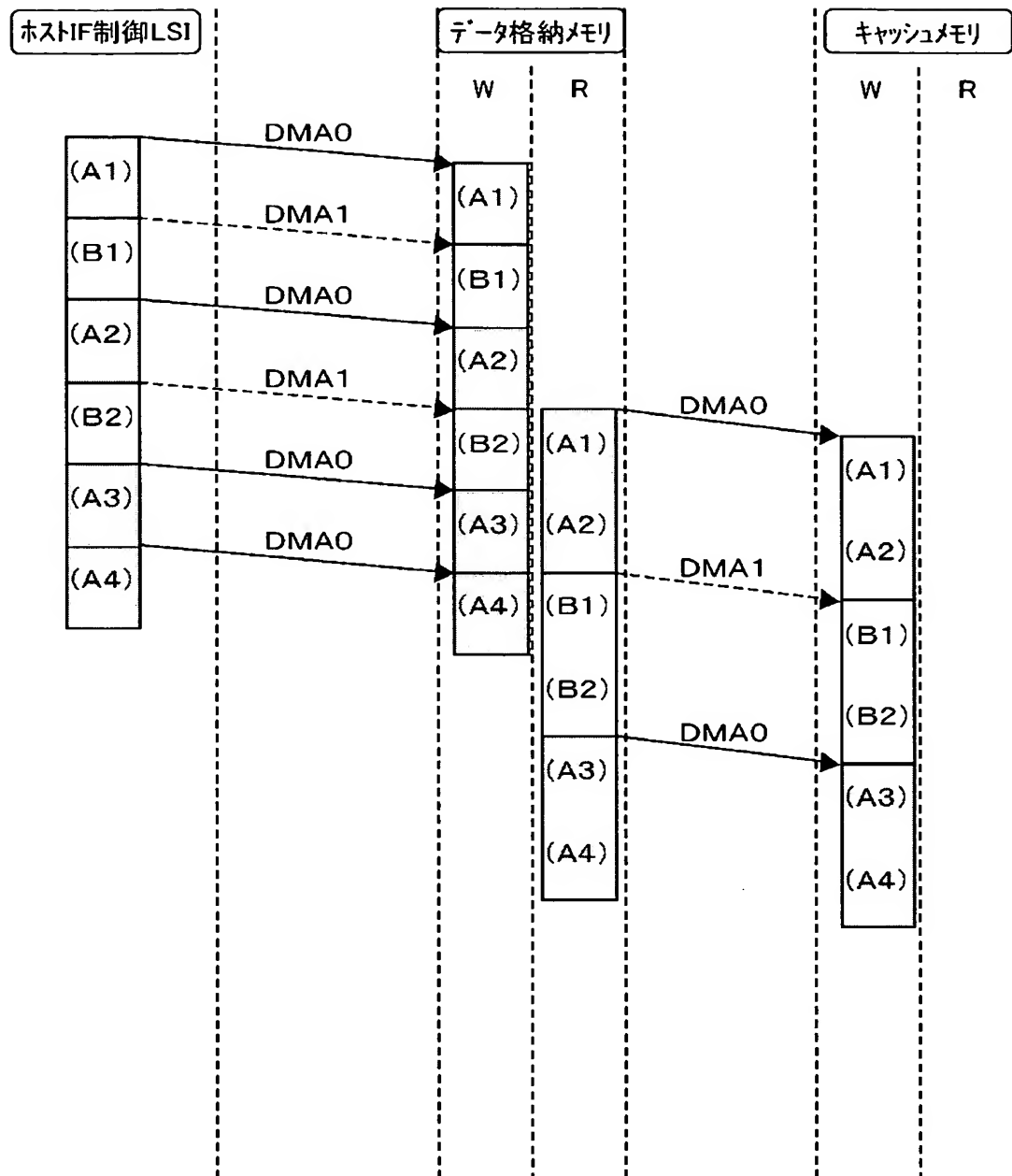
【図 10】



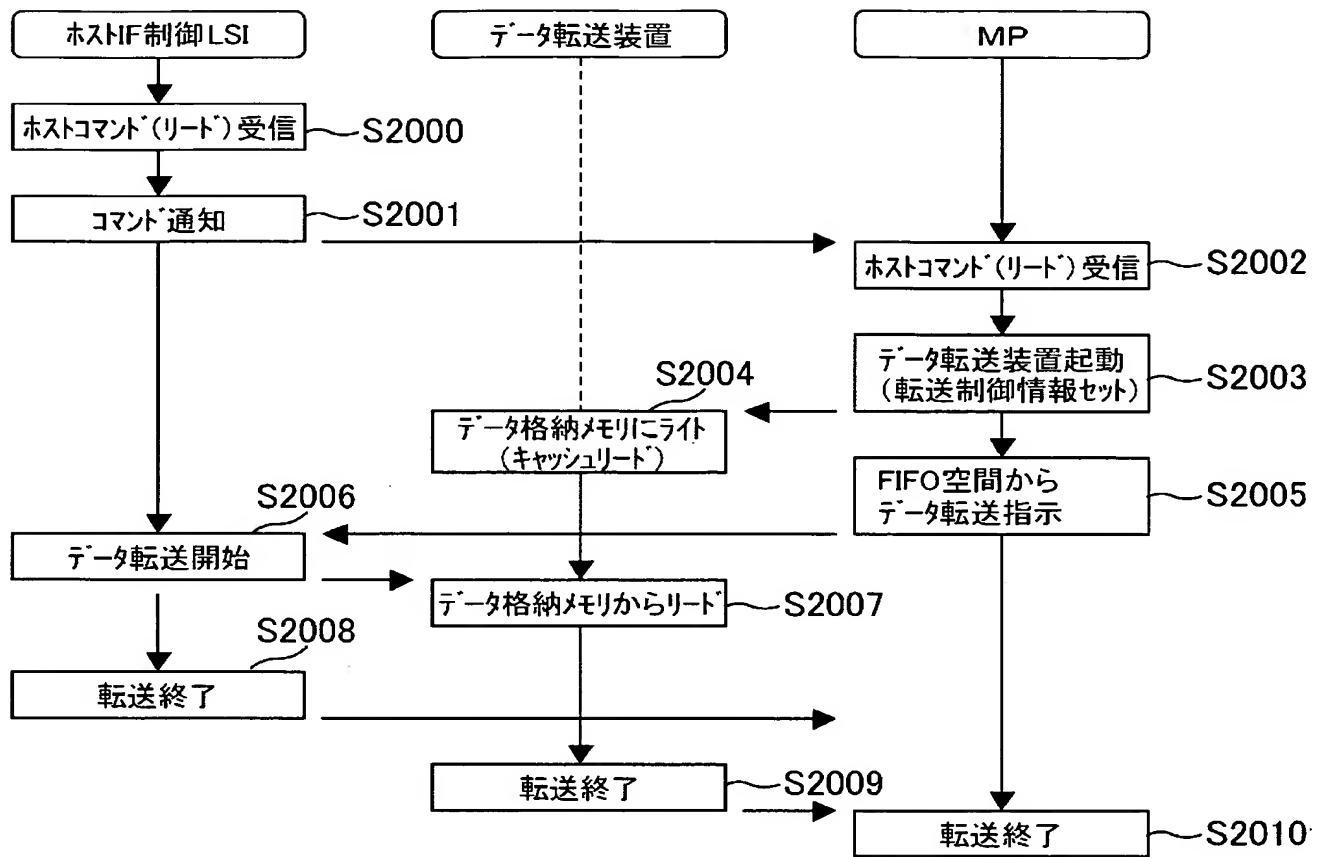
【図 11】



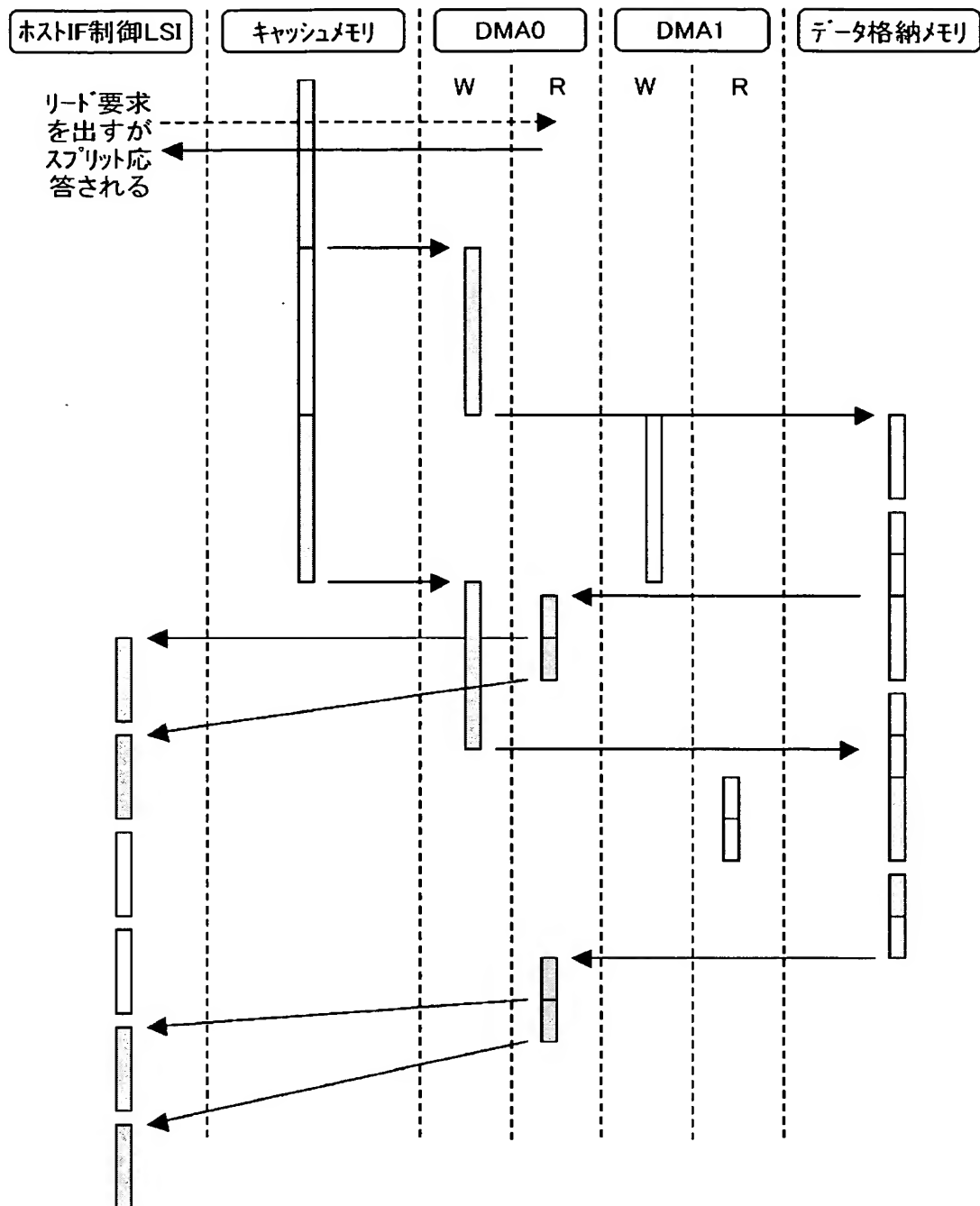
【図 12】



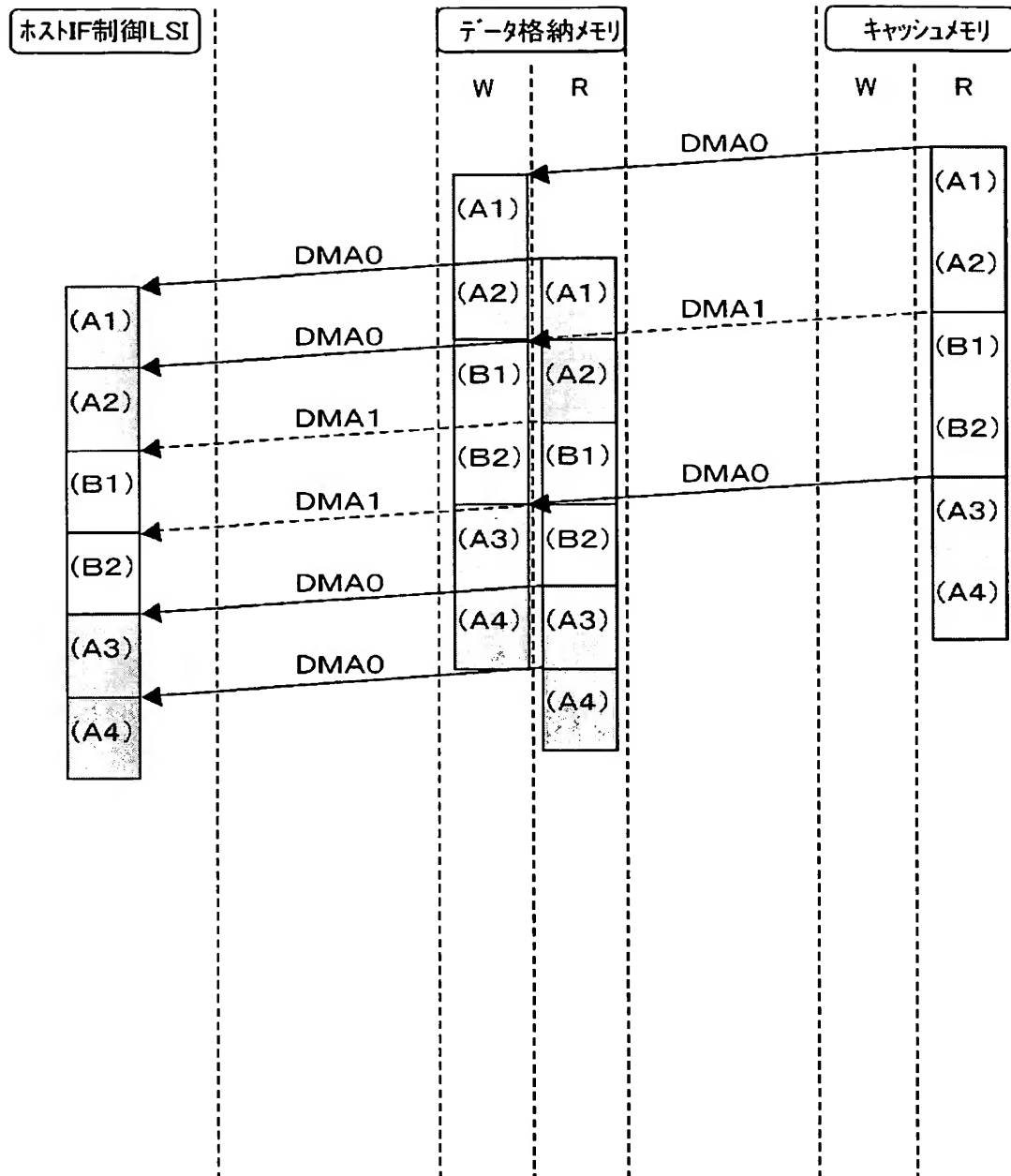
【図 13】



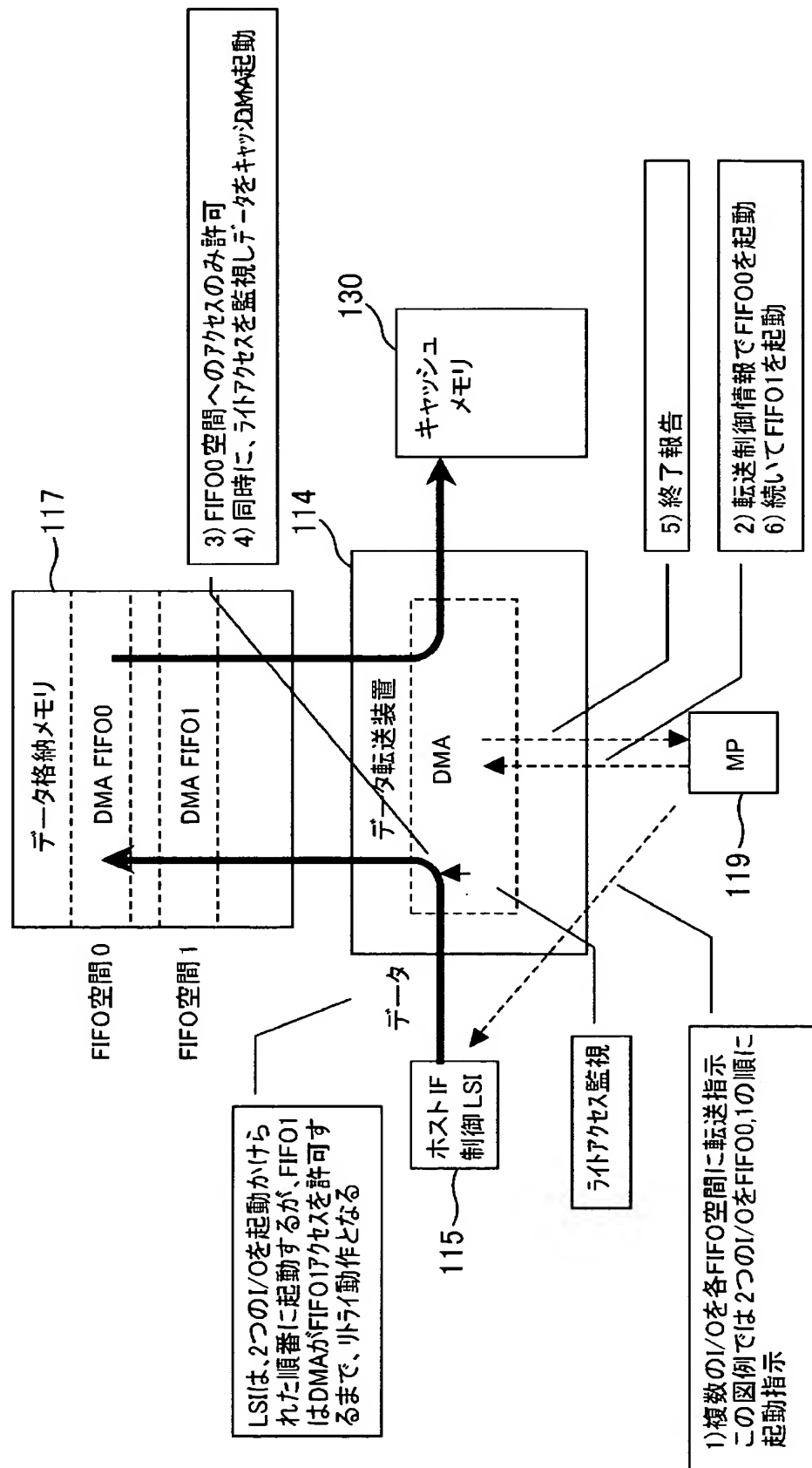
【圖 14】



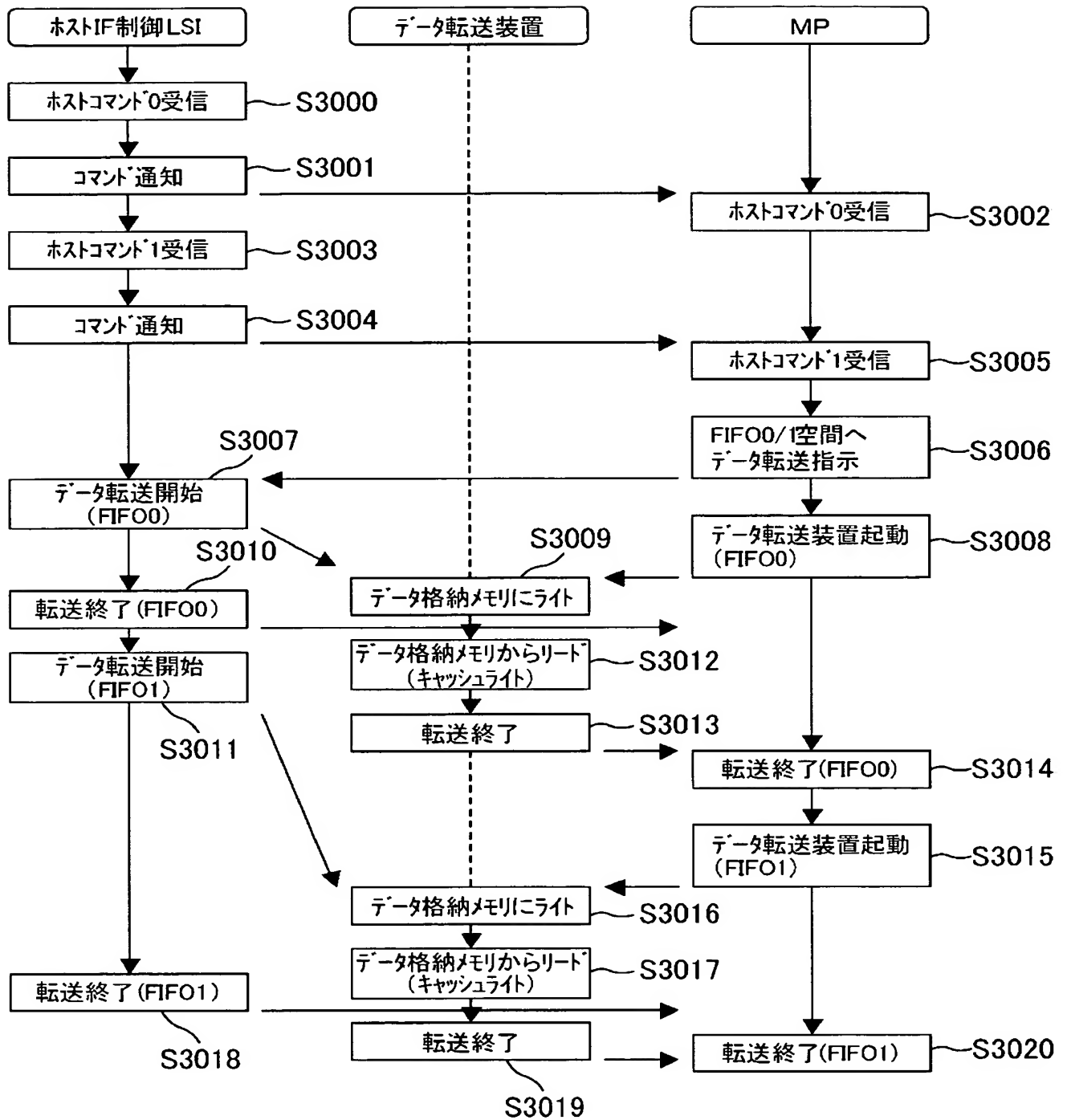
【図 15】



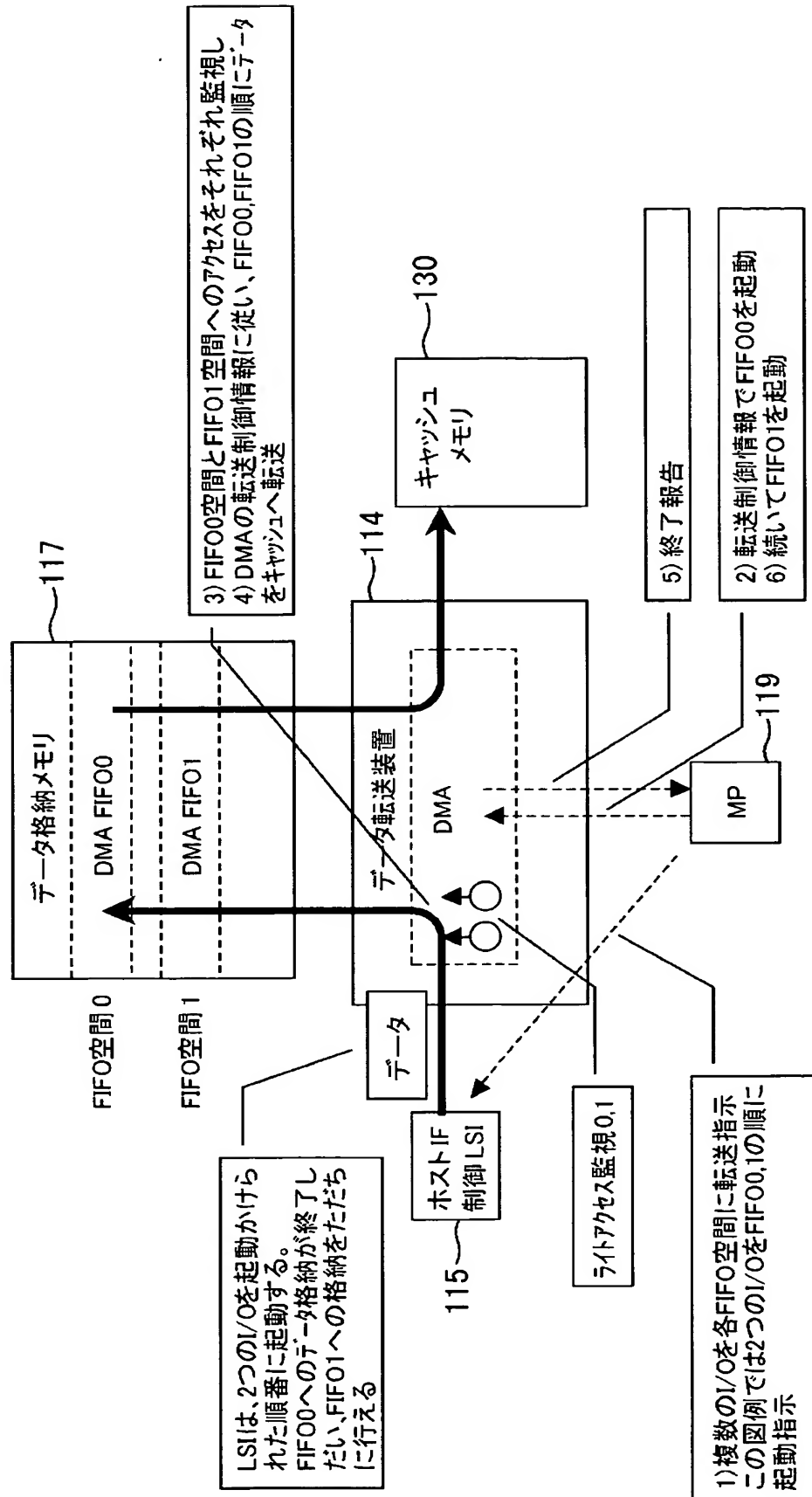
【図16】



【図 17】



【図 18】



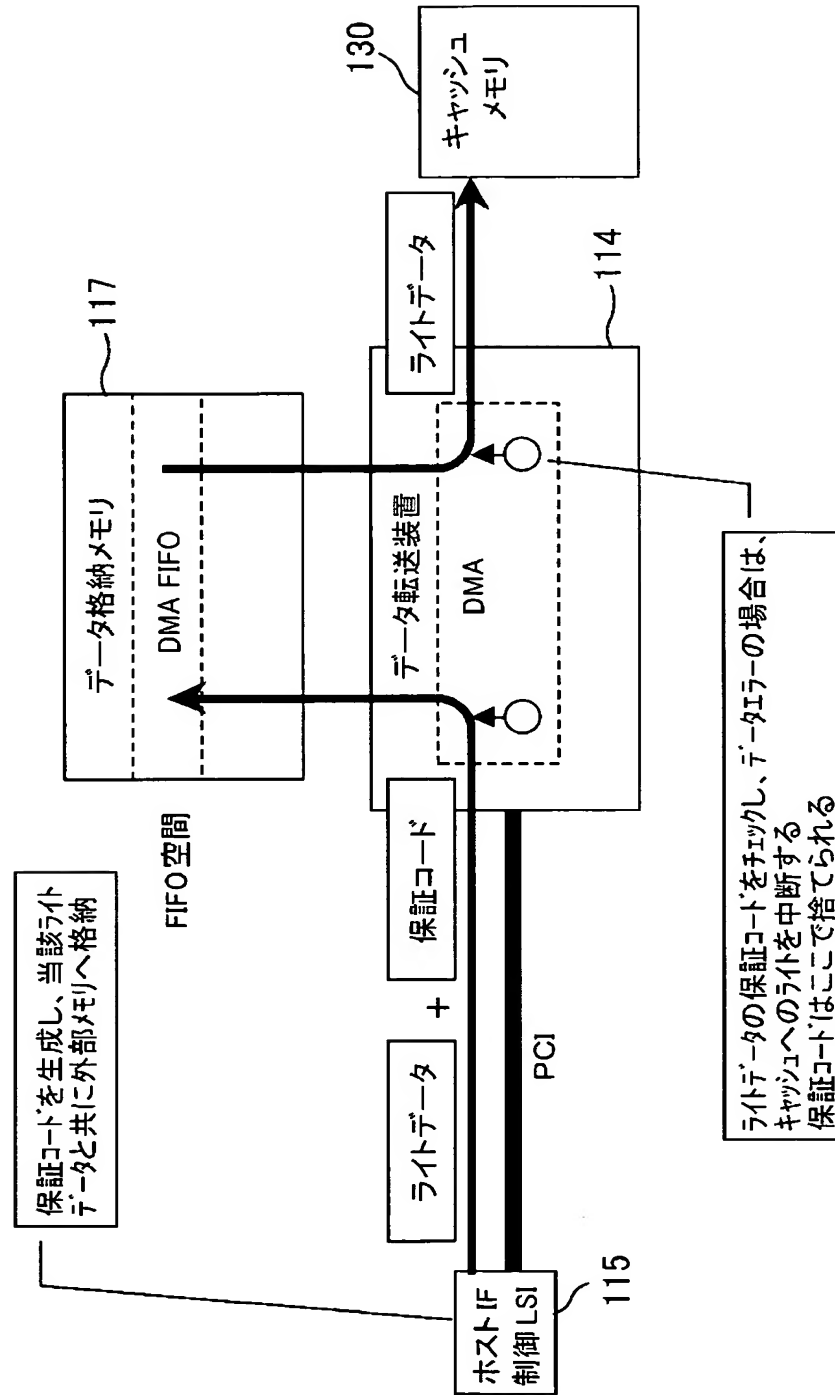
- 3) FIFO0空間とFIFO1空間へのアクセスをそれぞれ監視し
- 4) DMAの転送制御情報に従い、FIFO0,FIFO1の順にデータをキャッシュへ転送

1) 複数のI/Oを各FIFO空間に転送指示
この図例では2つのI/OをFIFO0,1の順に
起動指示

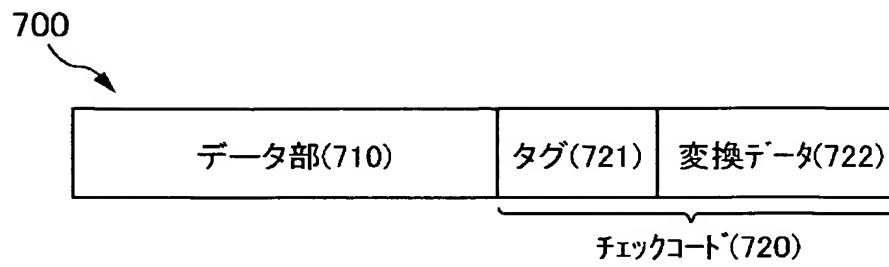
2) 転送制御情報でFIFO0を起動
6) 続いてFIFO1を起動

5) 終了報告

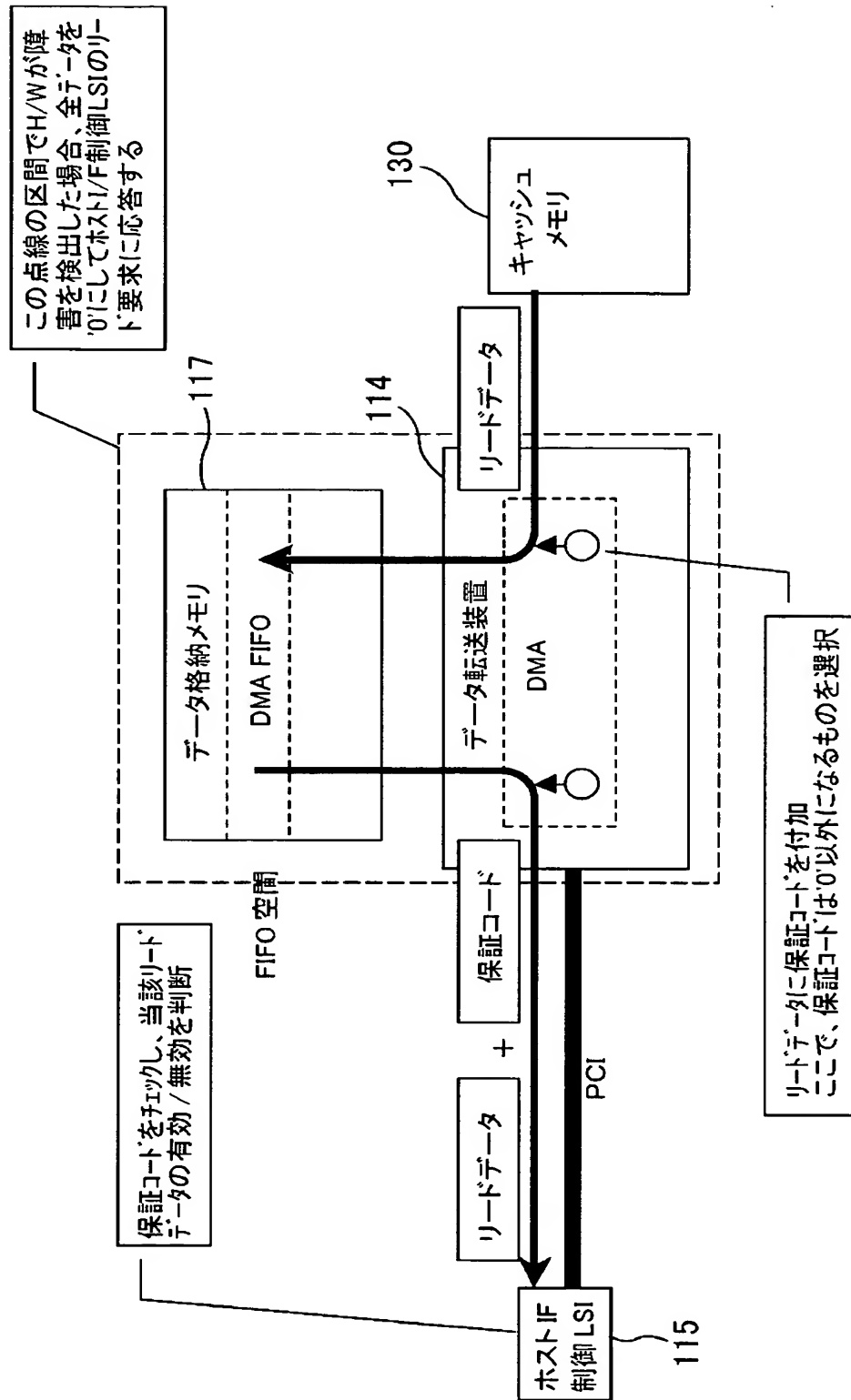
【図 19】



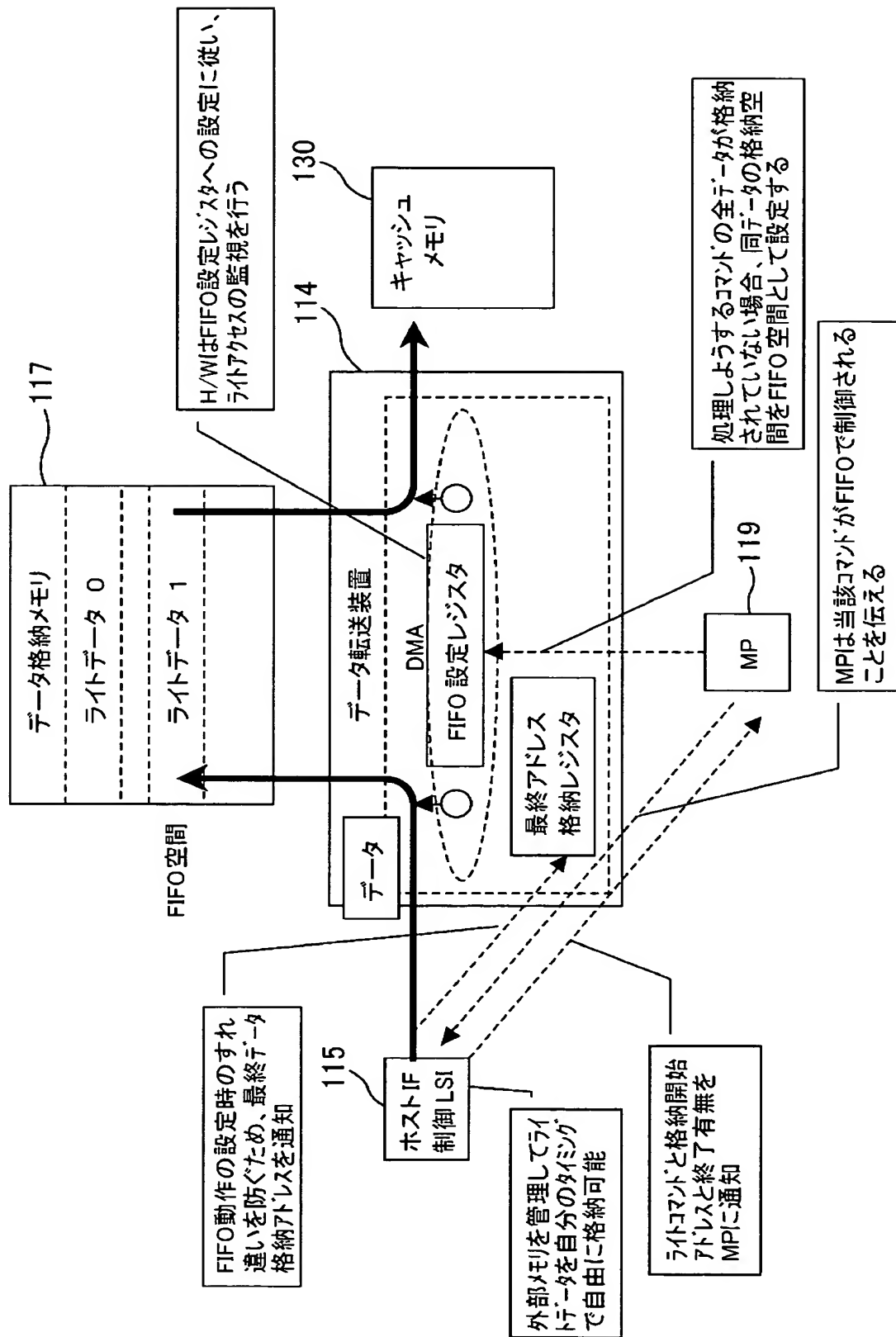
【図 20】



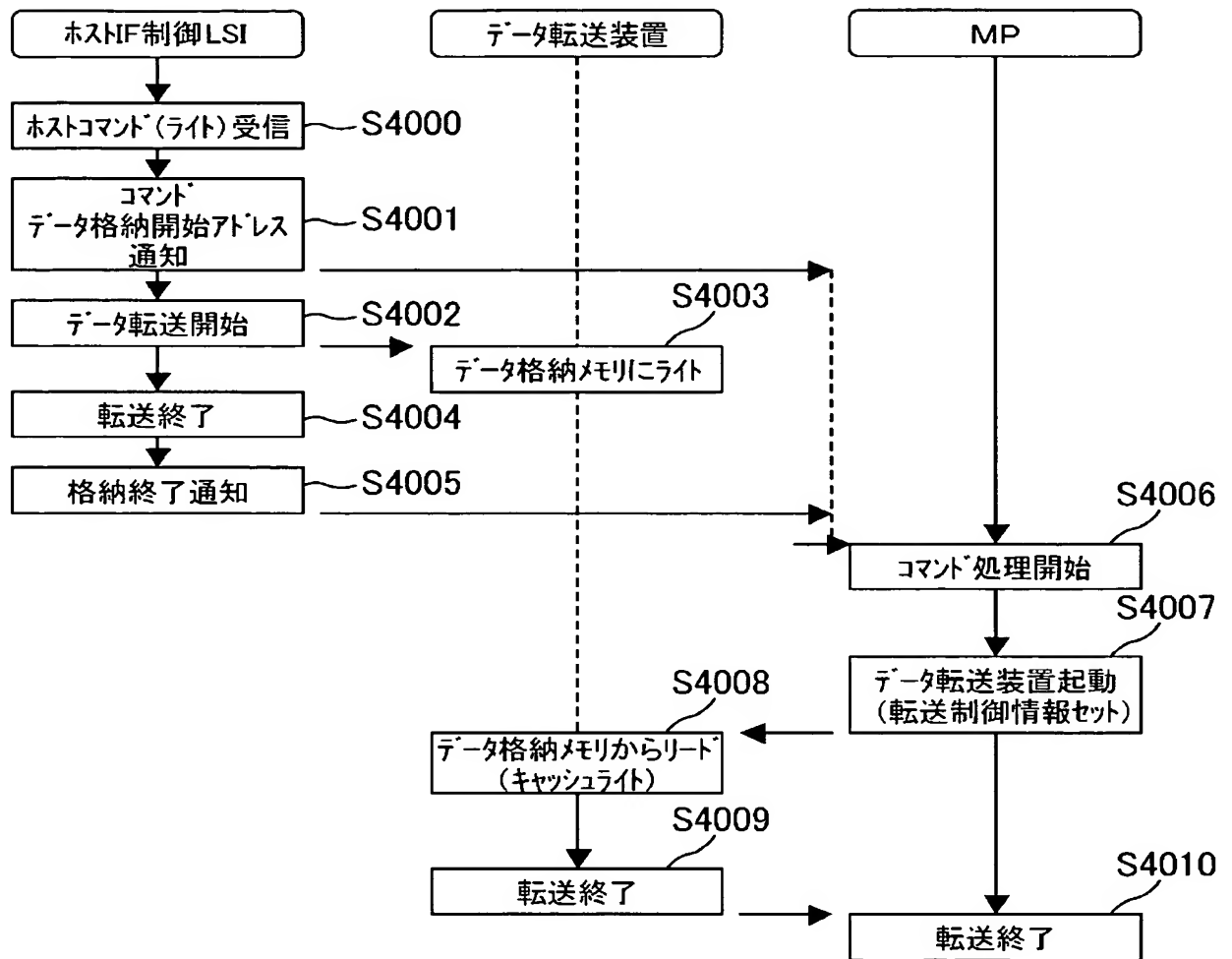
【図 21】



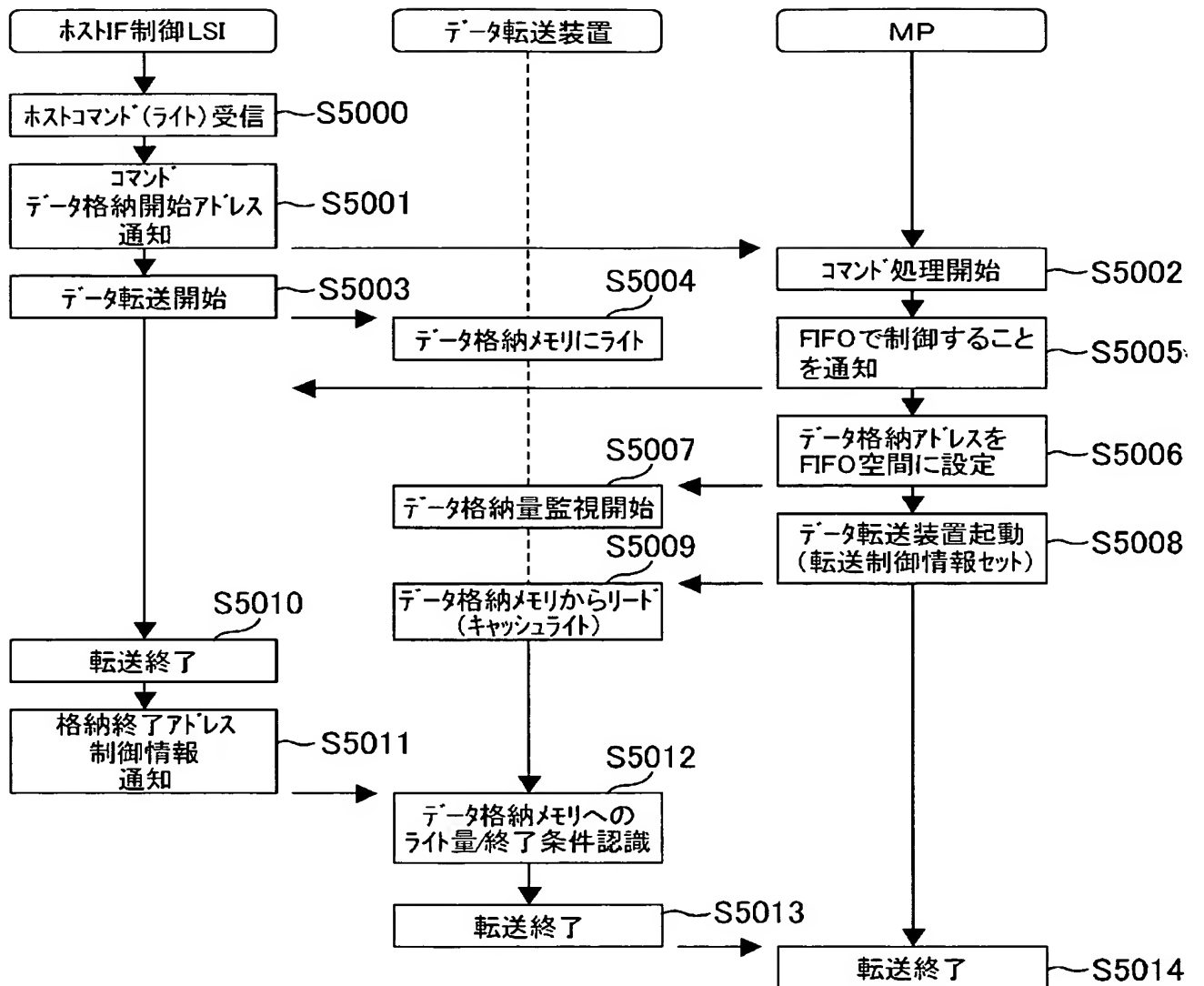
【図 22】



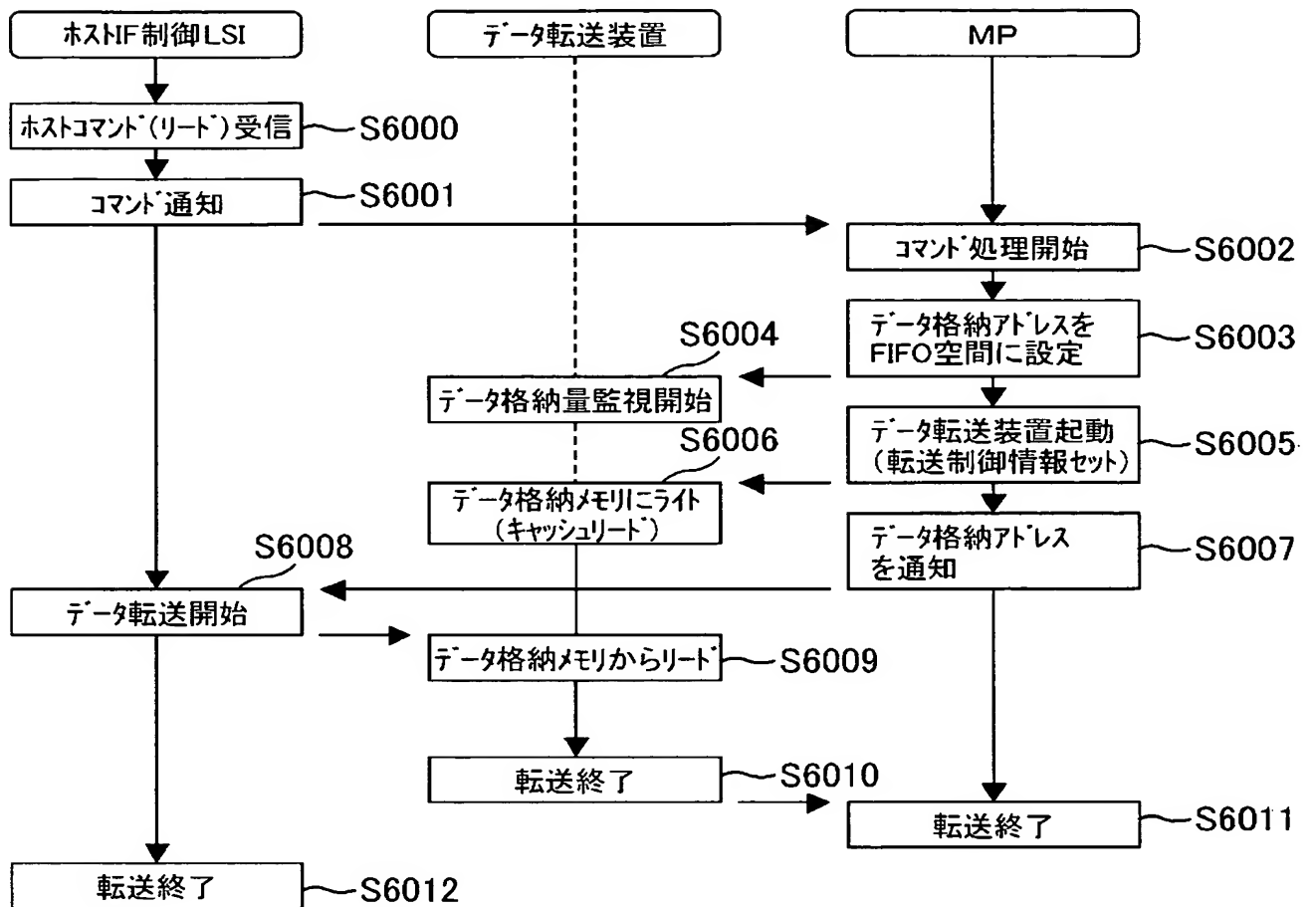
【図 23】



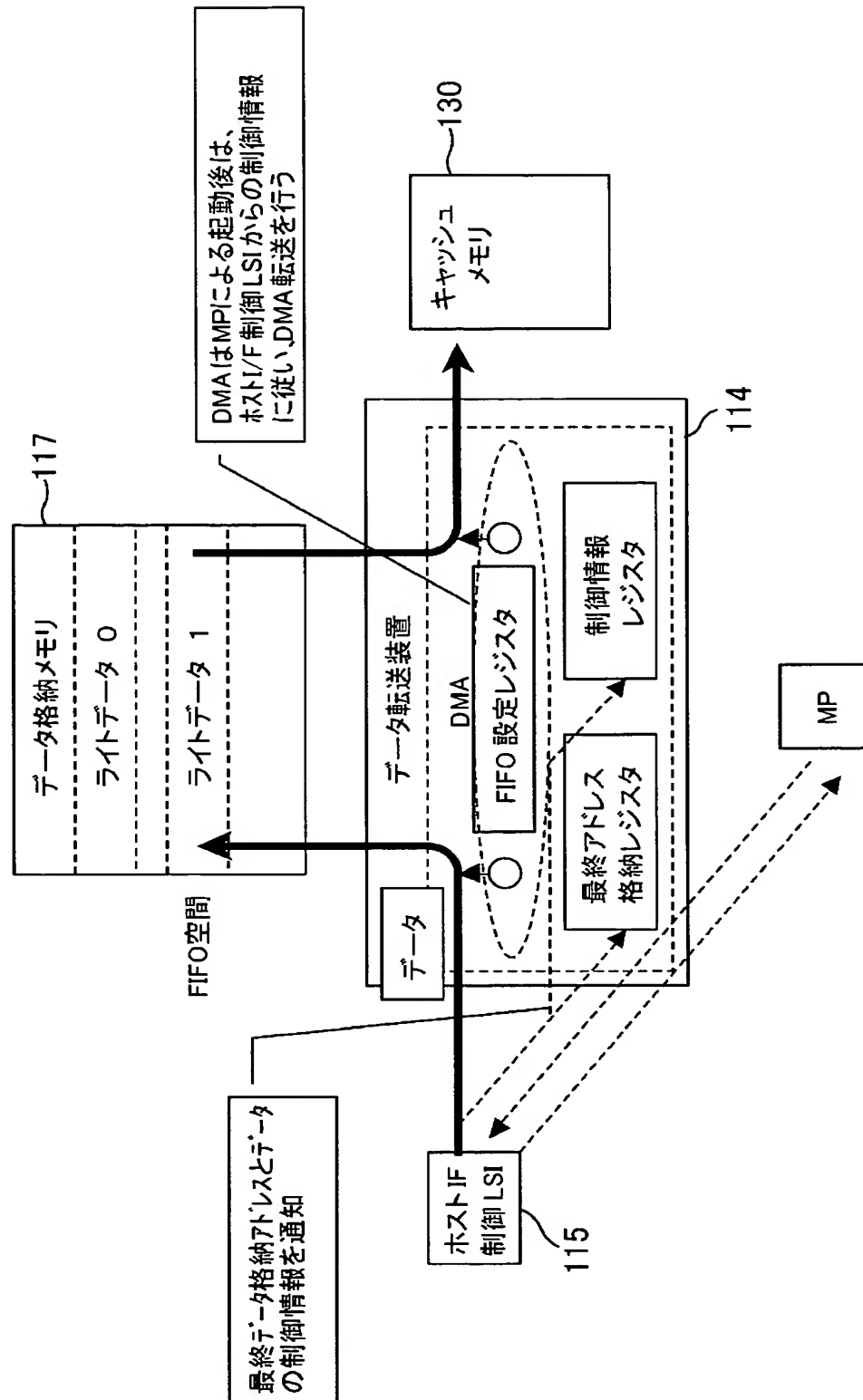
【図 24】



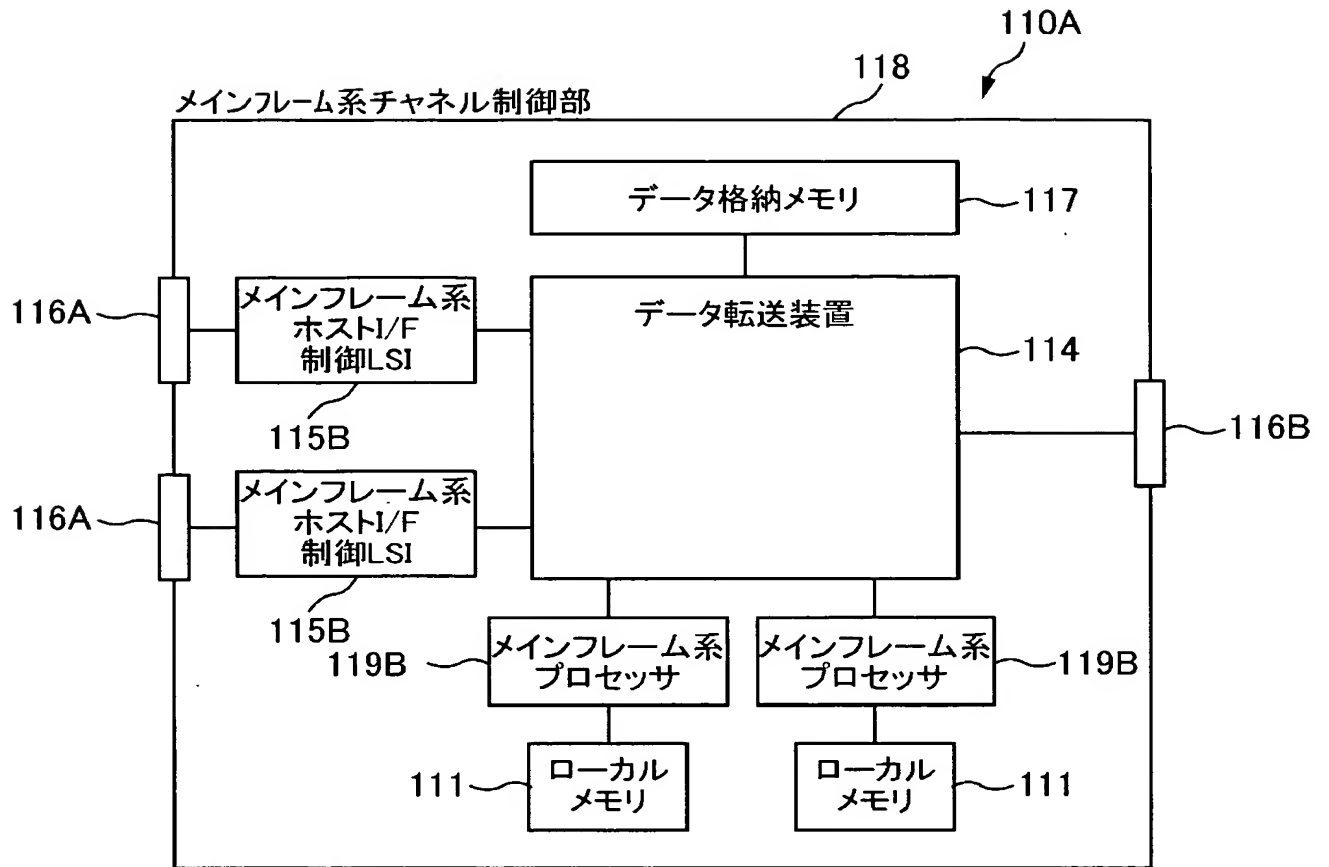
【図 25】



【図 26】



【図 27】



【書類名】 要約書**【要約】**

【解決手段】 情報処理装置からデータ入出力要求を受信し、情報処理装置との間でデータの送受信を行う複数のチャンネル制御部を備えたストレージ制御装置に関し、複数のチャンネル制御部の各々は、情報処理装置からデータ入出力要求を受信しデータ格納メモリと情報処理装置との間のデータの送受信を制御する入出力制御部と、プロセッサと、データ格納メモリと、データ格納メモリ内のデータをキャッシュメモリに対して転送するデータ転送装置とを有し、複数のチャンネル制御部のうち第一のチャンネル制御部において、プロセッサがデータ格納メモリ内のデータ格納空間を管理し、第二のチャンネル制御部において、入出力制御部がデータ格納メモリ内のデータ格納空間を管理し、プロセッサに対してデータ格納空間に関する情報を通知するストレージ制御装置に関する。

【選択図】 図 9



特願 2 0 0 4 - 0 0 1 4 4 3

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 1 0 8]

1. 変更年月日

1 9 9 0 年 8 月 3 1 日

[変更理由]

新規登録

住 所

東京都千代田区神田駿河台 4 丁目 6 番地

氏 名

株式会社日立製作所